

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)  
[First Hit](#)

☐ [Generate Collection](#)

L15: Entry 2 of 4

File: JPAB

Apr 27, 2001

PUB-NO: JP02001118392A

DOCUMENT-IDENTIFIER: JP 2001118392 A

TITLE: NON-VOLATILE SEMICONDUCTOR MEMORY AND ITS DATA PROGRAMMING METHOD

PUBN-DATE: April 27, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

IWAHASHI, HIROSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

TOSHIBA MICROELECTRONICS CORP

APPL-NO: JP2000256245

APPL-DATE: August 27, 1993

INT-CL (IPC): G11 C 16/02; G11 C 16/06; H01 L 21/8247; H01 L 27/115; H01 L 29/788;  
H01 L 29/792

ABSTRACT:

PROBLEM TO BE SOLVED: To dissolve such problems that threshold voltage of a cell of which threshold voltage is the lowest out of memory cells discharging electrons from a floating gate is required to make a positive value in a flash EEPROM of a NOR type, and read-out speed of data is suppressed by a cell of which threshold voltage is the maximum.

SOLUTION: Threshold voltage of a floating gate is made negative. A memory block is constituted on a P well surrounded by an alternate long and short dash line. Voltage is supplied to the P well from a terminal VE. Each block B1, B2, ... has a transistor column 100A for giving a reference potential to a source of a cell selected by a row line. When electrons are extracted from the floating gate, row lines W11-WLn are made 0 V, high voltage is given to the VE, and the P well is made high voltage. Thereby, electrons accumulated in the floating gate are discharged to the well, threshold voltage of all cells is made a negative value. Next, a row line is made high voltage, a data input circuit is made high voltage, and electrons are injected to the floating gate of a cell selected by a row line, column line 5.

COPYRIGHT: (C)2001,JPO

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)

(11)特許出願公開番号  
特開2001-118392  
(P2001-118392A)

(43)公開日 平成13年4月27日(2001.4.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 1 2 Z
16/06			6 1 2 E
H 0 1 L 21/8247			6 3 2 Z
27/115			6 3 3 E
29/788			6 3 5
審査請求 有 請求項の数 8 O L (全 29 頁) 最終頁に続く			

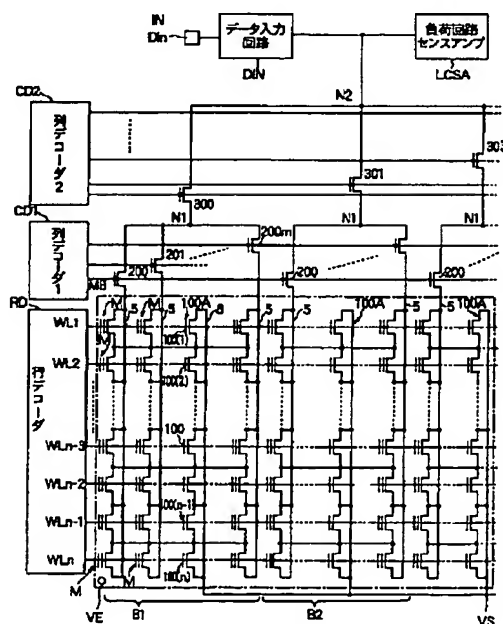
(21)出願番号	特願2000-256245(P2000-256245)	(71)出願人	000003078
(62)分割の表示	特願平5-235576の分割		株式会社東芝
(22)出願日	平成5年8月27日(1993.8.27)		神奈川県川崎市幸区堀川町72番地
		(71)出願人	000221199
			東芝マイクロエレクトロニクス株式会社
			神奈川県川崎市川崎区駅前本町25番地1
		(72)発明者	岩 橋 弘
			神奈川県川崎市川崎区駅前本町25番地1
			東芝マイクロエレクトロニクス株式会社内
		(74)代理人	100064285
			弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 不揮発性半導体メモリ及びそのデータプログラム方法

(57)【要約】 (修正有)

【課題】 NOR型のフラッシュEEPROMには、浮遊ゲートから電子を放出したメモリセルのうち最もきい電圧の低いセルのきい電圧を正の値とする必要があり、最もきい電圧の高いセルによってデータの読み出し速度が抑えられていた。

【解決手段】 浮遊ゲートのしきい電圧を負にする。メモリブロックは、一点鎖線で囲まれたPウエル上に構成されている。Pウエルには、端子VEにより電圧が供給される。各ブロック1B、B2、…には行線により選択されたセルのソースへ基準電位を与えるためのトランジスタ列100Aを有する。浮遊ゲートから電子を抜くときは、行線WL1〜WLnを0Vにし、VEに高電圧を与え、Pウエルを高電圧にする。これに伴って、浮遊ゲートに蓄えられていた電子は、ウエルに向けて放出され、全てのセルのしきい電圧は負の値になる。次に、行線を高電圧、データ入力回路を高電圧にし、行線、列線5により選択されたセルの浮遊ゲートへの電子の注入を行なう。



## 【特許請求の範囲】

【請求項1】複数の行線および複数の列線を有するマトリクス状に配置された、電氣的に消去およびプログラムが可能な複数の読み出し専用メモリセルを備え、前記メモリセルのそれぞれは、N型ドレイン領域、N型ソース領域、前記N型ドレイン領域と前記N型ソース領域との間のチャンネル領域全体の上方に形成される浮遊ゲート、およびコントロールゲートとを有するNチャンネル型MOSトランジスタを有し、また前記メモリセルは前記浮遊ゲートの電荷の蓄積状態に基づいてデータを記憶し、同じ行上にある前記メモリセルのコントロールゲートは前記行線の一つに共通に接続され、同じ列上にある前記メモリセルのドレイン領域は列線の一つに共通に接続され、さらにP型ウェル領域に形成されている、メモリセルアレイと、

前記列線に接続され、そのゲートは列デコードに接続され、Nチャンネル型であり、前記P型ウェル領域ではなく、半導体基板上に形成される、前記列線を選択するための複数のカラムゲートトランジスタと、

前記P型ウェル領域に接続され、前記メモリセルの消去を行うために前記浮遊ゲートから前記P型ウェル領域に電子を放出するための消去手段であって、当該消去手段によって前記P型ウェル領域に消去電圧が加えられると前記メモリセルは消去され、前記メモリセルの浮遊ゲートから前記P型ウェル領域への電子の放出は電子トンネル効果を用いて行われる、消去手段と、

高ゲート電圧と高ドレイン電圧とを前記行線と前記列線にそれぞれ加えることにより、電子を前記メモリセルの浮遊ゲートに注入することによって所望のデータを前記メモリセルに選択的にプログラムし、前記メモリセルの浮遊ゲートのへの電子の注入は前記メモリセルのドレインからソースへチャンネル電流を流すことによって行われる、前記メモリセルをプログラムするためのプログラム手段と、

電子を前記浮遊ゲートに注入および前記浮遊ゲートから放出するために、前記消去電圧、前記高ゲート電圧、および前記高ドレイン電圧を生成し、前記消去電圧は外部から加えられた電源電圧から生成される電圧を用いて生成され、前記高ゲート電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成され、前記高ドレイン電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成される、電圧生成手段と、を備えることを特徴とする、不揮発性半導体記憶装置。

【請求項2】前記メモリセルのソースはデコードトランジスタを介して接地電位に接続され、前記デコードトランジスタはデコード信号によって制御され、前記メモリセルのソースは前記デコードトランジスタを介して前記接地電位に選択的に接続されることを特徴とする、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記メモリセルが消去されるとき、前記行

線は接地電位とされることを特徴とする、請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルが消去されるとき、前記行線は接地電位とされることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項5】複数の行線および複数の列線を有するマトリクス状に配置された、電氣的に消去およびプログラムが可能な複数の読み出し専用メモリセルを備え、前記メモリセルのそれぞれは、N型ドレイン領域、N型ソース領域、前記N型ドレイン領域と前記N型ソース領域との間のチャンネル領域全体の上方に形成される浮遊ゲート、およびコントロールゲートとを有するNチャンネル型MOSトランジスタを有し、また前記メモリセルは前記浮遊ゲートの電荷の蓄積状態に基づいてデータを記憶し、同じ行上にある前記メモリセルのコントロールゲートは前記行線の一つに共通に接続され、同じ列上にある前記メモリセルのドレイン領域は列線の一つに共通に接続され、さらにP型ウェル領域に形成されている、メモリセルアレイと、

20 前記P型ウェル領域に接続され、前記メモリセルの消去を行うために前記浮遊ゲートから前記P型ウェル領域に電子を放出するための消去手段であって、当該消去手段によって前記P型ウェル領域に消去電圧が加えられると前記メモリセルは消去され、前記メモリセルの浮遊ゲートから前記P型ウェル領域への電子の放出は電子トンネル効果を用いて行われる、消去手段と、

高ゲート電圧と高ドレイン電圧とを前記行線と前記列線にそれぞれ加えることにより、電子を前記メモリセルの浮遊ゲートに注入することによって所望のデータを前記メモリセルに選択的にプログラムし、前記メモリセルの浮遊ゲートのへの電子の注入は前記メモリセルのドレインからソースへチャンネル電流を流すことによって行われる、前記メモリセルをプログラムするためのプログラム手段と、

40 電子を前記浮遊ゲートに注入および前記浮遊ゲートから放出するために、前記消去電圧、前記高ゲート電圧、および前記高ドレイン電圧を生成し、前記消去電圧は外部から加えられた電源電圧から生成される電圧を用いて生成され、前記高ゲート電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成され、前記高ドレイン電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成される、電圧生成手段と、を備えることを特徴とする、不揮発性半導体記憶装置

【請求項6】前記メモリセルのソースはデコードトランジスタを介して接地電位に接続され、前記デコードトランジスタはデコード信号によって制御され、前記メモリセルのソースは前記デコードトランジスタを介して前記接地電位に選択的に接続されることを特徴とする、請求項5に記載の不揮発性半導体記憶装置。

50 【請求項7】前記メモリセルが消去されるとき、前記行

線は接地電位とされることを特徴とする、請求項5に記載の不揮発性半導体記憶装置。

【請求項8】前記メモリセルが消去される時、前記行線は接地電位とされることを特徴とする、請求項6に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体メモリ及びそのデータプログラム方法に関する。

【0002】

【従来の技術】良く知られているように、NAND形のEEPROMに用いられる、浮游ゲートを有するメモリセルMCは図28に示すように構成される。即ち、浮游ゲートF、G、とチャネル領域CAとの間にあるゲート絶縁膜GOをトンネル効果が起こる程度に極めて薄く形成する。そして制御ゲートCGを0Vに設定し、基板Sbを高電圧にすることで、浮游ゲートFGから基板Sbに電子を放出して、2進データ的一方を書き込む。反対に、基板Sb、ソースSおよびドレインDを0Vに、制御ゲートCGを高電圧にすることにより、基板Sbから浮游ゲートFGに電子を注入して、2進データの他方を書き込む。このようなメモリセルMCを複数個マトリクス状に接続し、集積回路化したものの一部を図29(a)に示す。図29(b)は、図29(a)の各ノードの電圧波形である。メモリセルMCにデータをプログラムするときは、まず制御ゲートCGに接続されている全ての行線WL1~WLnを0Vに、基板を高電圧にして、全てのメモリセルMCの浮游ゲートFGから基板に電子を放出する。次に、データを書き込むべきメモリセルMCの選択トランジスタSTのゲートSを高電位に設定する。同時に、信号φを0Vにシトランジスタ10をオフさせ、メモリセルMCを基準電位Vssから切り離す。メモリセルMCの浮游ゲートFGに電子を注入する場合は、対応する行線WLを高電位V1に設定し、対応する列線Dを0Vに設定する。このとき浮游ゲートFGと基板Sb(チャネル)との間の電位差がトンネルを起こすのに十分な値となり、基板Sbから浮游ゲートFGに電子が注入される。一方非選択の行線WLは先の高電位V1よりも低いV2の電位に設定する。このとき列線D(D1, D2, ...)の電位が0Vであったとしても電位V2が低いため、浮游ゲートFGと基板Sb(チャネル)との間の電位差がトンネルを起こすのに十分な値とならず、浮游ゲートFGに電子は注入されない。行線WLが高電位V1に設定されていたとしても、列線Dが電位V3に設定されていると、このときも浮游ゲートFGと基板Sb(チャネル)との間の電位差がトンネルを起こすのに十分な値とならず、浮游ゲートFGに電子は注入されない。すなわち、図29(b)からわかるように、時刻T1では、メモリセル2nの浮游ゲートに電子が注入され、メモリセル1nの浮游ゲートFGには電子

の注入は起こらない。同様に、時刻T2では、メモリセル11の浮游ゲートFGに電子が注入され、メモリセル21の浮游ゲートFGには電子の注入は起こらない。

【0003】このようなメモリセルMCに於いては、浮游ゲートFGに電子が注入されていれば、そのしきい電圧は正の値となり、浮游ゲートFGから電子が放出されていればそのしきい電圧は負の値となる。メモリセルMCが選択されると、そのゲートは論理“0”、例えば0Vに設定される。しきい電圧が負の値の浮游ゲートFGから電子が放出されているメモリセルMCはオンしたままであるが、しきい電圧が正の浮游ゲートFGに電子が注入されているメモリセルMCはオフする。このように、ゲートが0Vの選択されたメモリセルMCが、オンかオフかでデータを記憶している。一方、非選択のメモリセルMCのゲートは、論理“1”、例えば5Vに設定され、浮游ゲートFGに電子が注入されているメモリセルMCもオンするようになっている。

【0004】次に図30に従ってデータの読み出しについて説明する。

20 【0005】電源VDDと接地点(Vss)には、負荷素子として働く例えばディプレッション型のMOSTランジスタL1、選択用のMOSTランジスタ(エンハンスメント型)ST、およびメモリセル用MOSTランジスタM1~M8が直列接続される。上記MOSTランジスタL1のゲートは、このMOSTランジスタL1と選択用MOSTランジスタSTとの接続点(ノードN1)に接続されている。上記選択用MOSTランジスタSTのゲートには、メモリセル用MOSTランジスタM1~M8から成るメモリブロック11を選択するための信号Xが供給される。また、上記メモリセル用MOSTランジスタM1~M8のゲートにはそれぞれ、このメモリブロック11の中の1つのメモリセル用MOSTランジスタを選択するための信号W1~W8が供給される。そして、上記ノードN1の電位をセンスアンプ12に供給して増幅することにより、選択したメモリセル用MOSTランジスタから記憶データを読み出す。

40 【0006】図30の回路では、例えば、メモリセル用MOSTランジスタM2、M4の浮游ゲートから電子が放出され、しきい電圧が負となっており、且つ、メモリセル用MOSTランジスタM4を選択するものとする。このときには、図31のタイミングチャートに示すように、信号Xを“1”レベル、信号W1~W3、W5~W8を“1”レベル、および信号W4を“0”レベルに設定する。これによって、選択用MOSTランジスタSTおよびメモリセル用MOSTランジスタM1~M3、M5~M8がオン状態となる。また、メモリセル用MOSTランジスタM4のしきい電圧は負であるので、このランジスタM4もオン状態となる。従って、ノードN1が放電され、これをセンスアンプ12で検出、増幅することにより、記憶データを読み出す。次に、メモリセル

用MOSトランジスタM3を選択するとする。この場合は、信号W3を“0”レベルに、他の信号は全て“1”レベルに設定する。このときメモリセル用MOSトランジスタM3は浮游ゲートに電子が注入されておりしきい電圧は正であるので、トランジスタM3はオフ状態となる。これにより、ノードN1の放電路が遮断され、このノードN1は負荷MOSトランジスタL1によって充電される。これをセンスアンプ12で検出、増幅することにより、メモリセル用MOSトランジスタM3からデータを読み出す。

【0007】しかし、このようにメモリセル用MOSトランジスタのしきい電圧が負であるか、正であるかでデータの“1”、“0”を記憶するとすると、メモリセルブロック11中のしきい電圧が正のMOSトランジスタの数としきい電圧が負のMOSトランジスタの数の比が異なる場合には、メモリセルブロック11に流れる電流の大きさが違ってくる。つまり、ノードN1の放電速度および放電時の“0”レベルの電位は、直列接続されたメモリセル用MOSトランジスタのしきい電圧が正のものとしきい電圧が負のMOSトランジスタの数の比で異なることになる。

【0008】例えば、図32(a)に示すように、メモリセルブロック11におけるメモリセル用MOSトランジスタM1～M7はそれらの浮游ゲートに電子が注入されて正のしきい電圧を持ち、トランジスタM8のみが負のしきい電圧である場合、メモリセル用MOSトランジスタM8が選択された時は、他の全てのトランジスタM1～M7が正のしきい電圧であることから、メモリセルブロック11を流れる電流は最も少ない状態となる。一方、図5(b)に示すように、メモリセルブロック11を構成するメモリセル用MOSトランジスタM1～M8が全て負のしきい電圧を持つ場合には、メモリセル電流が最も多くなる。これは、しきい電圧が負であるため、信号W1～W8の電位が図32(a)のものと同じであるならば、しきい電圧が負のMOSトランジスタの方がしきい電圧が正のものより多くの電流を流すためである。このため、前記図30に示したような回路では、上記図32(a)に示したようなメモリセルブロック11からデータを読み出す時が最も放電速度が遅くなり、このようなメモリセルブロックでデータの読み出し速度が決まってしまう欠点がある。また、この時にメモリセルブロックを流れる電流が最も少ないため、これに合わせて負荷トランジスタL1の電流駆動能力も決めてやる必要があり、負荷トランジスタL1の電流駆動能力も大きくできずノードN1の充電もまた遅くなる欠点がある。

【0009】また、上記従来のメモリに於いては、一つのメモリセルブロックが一本の列線に対応している。このため、隣り合ったメモリセルブロック同士のメモリセルブロックと列線の接続部がメモリセルアレイの占有面積を決めるようになってきた。また列線の配線の多さが

歩留まりに影響を与えていた。

【0010】また、図28、図29のメモリセル及び装置においては、先に述べたように、一度に全てのメモリセルの浮游ゲートから電子を放出し、メモリセルのしきい電圧を負の値にすることによって2進データ的一方を書き込み、その後で選択的に浮游ゲートに電子を注入することによって2進データの他方のデータを書き込む。

【0011】メモリセルからのデータの読み出しに当たっては、選択された行線を論理“0”、例えば0Vにし、非選択な行線を論理“1”、例えば5Vに設定する。非選択な行線に接続されているメモリセルは、そのゲートである行線が論理“1”である。このため、非選択のメモリセルの浮游ゲートに電子が注入されてしきい電圧が正であっても、メモリセルの浮游ゲートから電子が放出されメモリセルのしきい電圧が負であっても、オンする。けれども、選択された行線は0Vである。このため、この選択されたメモリセルは、しきい電圧が正のものはオフし、しきい電圧が負のものはオンする。このように選択されたメモリセルがオンするかオフするかで、メモリセルに記憶されているデータが論理“1”か論理“0”かを検出するのは前にも述べた通りである。浮游ゲートに電子の注入されているメモリセルのしきい電圧は、非選択な時にオンし、選択されたときにオフするように設定されなければならない。このため、電子の注入量に関しては注意を要する。このため、メモリセルへの電子の注入と、この注入量をチェックするための読みだしを繰り返す行い、適当な注入量になったときに電子の注入を止めるようにしている。けれども、極めて薄いゲート絶縁膜を通して電子の注入を行っていることから、製造工程のばらつきに起因して、ゲート絶縁膜の厚さのばらつきや欠陥等により、浮游ゲートへの電子の注入量はメモリセル間でばらつくことがある。つまり、電子の注入されたメモリセルのしきい電圧はある幅を持ってばらついている。よって、最もしきい電圧の低いメモリセルと最もしきい電圧の高いメモリセルとのしきい電圧の差は、メモリセルを流れる電流の差となり、選択されたメモリセルからのデータ読みだし速度がメモリセルによって異なることになる。すなわち、直列に接続された非選択なメモリセルを通して流れる電流によりデータが検出されるため、非選択なメモリセルのしきい電圧のばらつきはそのままメモリセルに流れる電流のばらつきとなり、データ読みだし速度のばらつきとなる。データ読みだし速度を速くするためには、メモリセルに流れる電流は多いほど良い。しかし、電子の注入されたメモリセルのしきい電圧は正の値でなければならないため、最もしきい電圧の低いメモリセルのしきい電圧を0Vよりわずかに高い値に設定したとしても、メモリセルのしきい電圧の分布のばらつきにより、最もしきい電圧の高いメモリセルのしきい電圧の値は0Vよりもはるかに高い値になるのが避けられない。

【0012】また、従来のNOR型のフラッシュEEPROMにおいては、データの書き換えの時、一旦全てのメモリスルの浮游ゲートに電子を注入し、浮游ゲートに蓄えている電子の量を全てのメモリスルについて均一にし、その後、全てのメモリスルの浮游ゲートから電子を放出し、2進データの一方を記憶する。このうち、メモリスルの制御ゲートとドレインに高電圧を印加してチャネル電流を流し、チャネル領域から選択的にメモリスルの浮游ゲートに電子を注入して、2進データの他方を書き込む。このような従来のNOR型のフラッシュEEPROMにおいては、浮游ゲートから電子を放出しすぎると、メモリスルのしきい電圧が負の値になり、選択動作ができなくなる。このため、電子を放出した後読み出しを行って、適当なしきい電圧になったか否かをチェックしている。電子を放出しすぎないようにするため、電子の放出期間を短く設定し、放出と読み出しを何度も繰り返して行い、適切なしきい電圧を得るようにしている。けれども、この放出は、制御ゲートを0Vにし、ソースあるいはドレインに高電圧を印加して、浮游ゲートからソースあるいはドレインにトンネル効果で電子を放出するものである。あるいは、制御ゲートを0Vにし、メモリスルが作られている半導体基板を高電圧にして、浮游ゲートからチャネル領域に電子をトンネル効果を利用して放出するようにしている。このため、浮游ゲートとチャネルとの間のゲート絶縁膜は、トンネル効果が起こるように、極めて薄く、例えば100オングストローム程度に作られている。このため、製造工程のばらつきに起因して、電子の放出後のメモリスルのしきい電圧は、全メモリスルが均一な値ではなく、ある幅をもってばらつく。メモリスルに流れる電流の多い方がデータの読み出し速度も速くなり、且つマージンも大きくなる。よって、メモリスルのしきい電圧は低い方がよいが、ばらつきの中のもっともしきい電圧の高いメモリスルを最適なしきい電圧になるまで電子を放出すると、ばらつきの中のもっともしきい電圧の低いメモリスルのしきい電圧が負の値になってしまい好ましくない。このためこのような半導体メモリにおいては、ばらつきの中のもっともしきい電圧の低いメモリスルのしきい電圧が負の値にならないようにしているため、最もしきい電圧の高いメモリスルで読み出し速度が決まってしまう、データ読み出し速度の高速化は困難であった。

【0013】図33はこのような従来のNOR型のフラッシュEEPROMのメモリスルアレイの一例である。図33(a)は平面図、(b)はA-A'線断面図、(c)はB-B'線断面図、(d)はC-C'線断面図、図34はそのシンボル図である。図33において、1は行線でありメモリスルの制御ゲートを形成している。2は浮游ゲート、3はチャネル領域であり、4はゲート絶縁膜である。5は例えばアルミニウムで作られた列線であり、隣り合ったメモリスルで共用されるドレ

イン6が列線5と接続されている。8は、例えばアルミニウムで作られた、データの読み出し時は基準電位（例えば接地電位）を供給し且つ浮游ゲートから電子を放出するときは高電圧を供給するための配線であり、隣り合ったメモリスルで共用されるべく、そのメモリスルのソース7に接続位置9で接続されている。

【0014】このように構成された従来のフラッシュEEPROMにおいては、浮游ゲートから電子を放出しすぎてメモリスルのしきい電圧が負の値になったとき、行線、すなわち制御ゲートが0Vの非選択なメモリスルでもオンする。このため、列線5と配線8が接続状態となり、列線5から非選択なメモリスルを介しても配線8に電流が流れる。これにより、データの読み出し時、あるいはデータの書き込み時に、列線5に電圧を印加したとしても、非選択なメモリスルを介して電流が流れ、電圧が下がってしまう。このためデータの読み出し時に選択されたメモリスルがオフしていたとしても非選択なメモリスルを通して電流が流れてしまい、間違ったデータを読み出してしまい、データの書き込み時には、必要な十分な電圧を供給する事ができない。このため、上述したように、電子を浮游ゲートから放出した後の全メモリスルのしきい電圧のばらつきの中で最もしきい電圧の低いメモリスルのしきい電圧を正の値にしておく必要から、最もしきい電圧の高いメモリスルでデータの読み出し速度が決まってしまう、データの読み出し速度を速くできないという欠点があった。

【0015】先にも述べたように、いわゆるEEPROMのメモリスルにあつては、ゲート酸化膜よりもはるかに薄い100オングストローム程度の酸化膜を介して、浮游ゲートに電子を注入したり、放出したりすることによりデータの書き換えを行なっている。図35は、更に異なる方式でデータの書き換えを行なう従来のEEPROMのこのようなメモリスルを構成するセルトランジスタのシンボル図で、制御ゲート電圧を $V_{CG}$ 、ドレイン電圧を $V_D$ 、ソース電圧を $V_S$ 、およびドレイン電流を $I_D$ とすると、制御ゲート電圧 $V_{CG}$ に対するドレイン電流 $I_D$ は図36に示すような特性を示す。図36において、曲線Aはイニシャル状態の特性、曲線Bは浮游ゲートに電子を注入した時の特性であり、電子の注入によりしきい電圧が上昇している。また、曲線Cは浮游ゲートから電子を放出した状態の特性であり、電子の放出によりしきい電圧が低下して負になっている。このようなセルトランジスタを用いたメモリスルでは、上記曲線BとCの特性を利用してデータの“0”と“1”を記憶する。

【0016】図37は、上記図35に示したセルトランジスタをマトリクス状に配列して構成したこのようなEEPROMの回路構成例を示しており、現在市販されているEEPROMはこのような回路構成が多い。図示する如く、各セルトランジスタCTには選択用のMOS

トランジスタSTが直列接続され、1つのメモリセル14が2つのトランジスタCT, STで構成されている。

【0017】上記のような構成において、セルトランジスタCTの浮遊ゲートに電子を注入する場合には、選択用トランジスタSTのゲートおよびセルトランジスタCTの制御ゲートに高電圧 $V_G$ ,  $V_{CG}$ を印加するとともに、列線15を0Vに設定する。一方、電子を放出する時には、選択用トランジスタSTのゲートと列線15を高電圧に設定するとともに、セルトランジスタCTの制御ゲートを0Vに設定する。これによって、セルトランジスタCTのドレインに高電圧が印加され、浮遊ゲートからドレインに電子が放出される。

【0018】図38(a)は、上記図37に示した回路における一点鎖線で囲んだ領域16のパターン平面図で、この図38(a)のA-A'線に沿った断面構成を図38(b)に示す。図38(a), (b)において、前記図37に対応する部分には同じ符号を付しており、17はセルトランジスタCTのソース領域、18はセルトランジスタCTのドレイン且つ選択用トランジスタSTのソース領域、19は選択用トランジスタSTのドレイン領域、20はセルトランジスタCTの浮遊ゲート、21はセルトランジスタCTの制御ゲート、22は選択用トランジスタSTのゲート、23は薄い酸化膜部、24は列線15と選択用トランジスタSTのドレインとのコンタクト部である。

【0019】このようなEEPROMにおいては、メモリセルにデータをプログラムする時間を短縮するために、図39に示す如く、各列線15毎にラッチ回路Lを設けておく。そして、各対応する列線15に接続されているメモリセル14にプログラムするデータをラッチ回路Lにラッチしておき、ラッチされたデータに基づいて1行分のメモリセル14に同時にプログラムするようにしている。このように構成されたEEPROMにおいては、データをプログラムする時間は短縮されるが、列線毎にラッチ回路Lを設けているので、ラッチ回路の分だけ、チップサイズが大きくなり、チップのコストが高くなるという欠点があった。

【0020】

【発明が解決しようとする課題】図33及び図34で説明した従来のNOR型のフラッシュEEPROMには、上述のように、浮遊ゲートから電子を放出したメモリセルのうちの最もしきい電圧の低いメモリセルのしきい電圧を正の値とする必要があることから、最もしきい電圧の高いメモリセルによってデータの読み出し速度が決められ、データの読み出し速度を速くできないという欠点があった。

【0021】本発明は、このような事情に鑑みてなされたもので、その目的は、より速い読み出し速度の不揮発性半導体メモリを提供することにある。

【0022】

【課題を解決するための手段】本発明は、複数の行線および複数の列線を有するマトリクス状に配置された、電気的に消去およびプログラムが可能な複数の読み出し専用メモリセルを備え、前記メモリセルのそれぞれは、N型ドレイン領域、N型ソース領域、前記N型ドレイン領域と前記N型ソース領域との間のチャンネル領域全体の上方に形成される浮遊ゲート、およびコントロールゲートとを有するNチャンネル型MOSトランジスタを有し、また前記メモリセルは前記浮遊ゲートの電荷の蓄積状態に基づいてデータを記憶し、同じ行上にある前記メモリセルのコントロールゲートは前記行線の一つに共通に接続され、同じ列上にある前記メモリセルのドレイン領域は列線の一つに共通に接続され、さらにP型ウェル領域に形成されている、メモリセルアレイと、前記列線に接続され、そのゲートは列デコーダに接続され、Nチャンネル型であり、前記P型ウェル領域ではなく、半導体基板上に形成される、前記列線を選択するための複数のカラムゲートトランジスタと、前記P型ウェル領域に接続され、前記メモリセルの消去を行うために前記浮遊ゲートから前記P型ウェル領域に電子を放出するための消去手段であって、当該消去手段によって前記P型ウェル領域に消去電圧が加えられると前記メモリセルは消去され、前記メモリセルの浮遊ゲートから前記P型ウェル領域への電子の放出は電子トンネル効果を用いて行われる、消去手段と、高ゲート電圧と高ドレイン電圧とを前記行線と前記列線にそれぞれ加えることにより、電子を前記メモリセルの浮遊ゲートに注入することによって所望のデータを前記メモリセルに選択的にプログラムし、前記メモリセルの浮遊ゲートのへの電子の注入は前記メモリセルのドレインからソースへチャンネル電流を流すことによって行われる、前記メモリセルをプログラムするためのプログラム手段と、電子を前記浮遊ゲートに注入および前記浮遊ゲートから放出するために、前記消去電圧、前記高ゲート電圧、および前記高ドレイン電圧を生成し、前記消去電圧は外部から加えられた電源電圧から生成される電圧を用いて生成され、前記高ゲート電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成され、前記高ドレイン電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成される、電圧生成手段と、を備えるものとして構成される。

【0023】第2の本発明は、複数の行線および複数の列線を有するマトリクス状に配置された、電気的に消去およびプログラムが可能な複数の読み出し専用メモリセルを備え、前記メモリセルのそれぞれは、N型ドレイン領域、N型ソース領域、前記N型ドレイン領域と前記N型ソース領域との間のチャンネル領域全体の上方に形成される浮遊ゲート、およびコントロールゲートとを有するNチャンネル型MOSトランジスタを有し、また前記メモリセルは前記浮遊ゲートの電荷の蓄積状態に基づい



てデータを記憶し、同じ行上にある前記メモリセルのコントロールゲートは前記行線の一つに共通に接続され、同じ列上にある前記メモリセルのドレイン領域は列線の一つに共通に接続され、さらにP型ウェル領域に形成されている、メモリセルアレイと、前記P型ウェル領域に接続され、前記メモリセルの消去を行うために前記浮遊ゲートから前記P型ウェル領域に電子を放出するための消去手段であって、当該消去手段によって前記P型ウェル領域に消去電圧が加えられると前記メモリセルは消去され、前記メモリセルの浮遊ゲートから前記P型ウェル領域への電子の放出は電子トンネル効果を用いて行われる、消去手段と、高ゲート電圧と高ドレイン電圧とを前記行線と前記列線にそれぞれ加えることにより、電子を前記メモリセルの浮遊ゲートに注入することによって所望のデータを前記メモリセルに選択的にプログラムし、前記メモリセルの浮遊ゲートのへの電子の注入は前記メモリセルのドレインからソースへチャンネル電流を流すことによって行われる、前記メモリセルをプログラムするためのプログラム手段と、電子を前記浮遊ゲートに注入および前記浮遊ゲートから放出するために、前記消去電圧、前記高ゲート電圧、および前記高ドレイン電圧を生成し、前記消去電圧は外部から加えられた電源電圧から生成される電圧を用いて生成され、前記高ゲート電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成され、前記高ドレイン電圧は外部から加えられた前記電源電圧から生成される電圧を用いて生成される、電圧生成手段と、を備えるものとして構成される。

#### 【0024】

【作用】本発明においては、メモリセルの浮遊ゲートから一旦電子を放出させてそのしきい電圧を負にした後、第1の書き込み手段により、選択時にオンし、非選択時にオフするように、メモリセルの浮遊ゲートに電子が注入され、2進データの一つが記憶される。この後、第2の書き込み手段により、選択時も非選択時も共にオフするように、選択的に、メモリセルの浮遊ゲートに電子が注入され、2進データの他方が記憶される。

#### 【0025】

【実施例】以下、本発明に関連する第1の例について図面を参照して説明する。図1は、前述の図30における選択用MOSTランジスタSTとメモリセル用MOSTランジスタM1との間に、信号Cで導通制御されるビットチェック用MOSTランジスタCTを設けたものである。このビットチェック用MOSTランジスタCTの機能は、このビットチェック用MOSTランジスタCTが含まれるメモリセルブロック111とは異なるある1つのメモリセルブロック111中における記憶データの“1”あるいは“0”のうちの多い方のいずれを、浮遊ゲートから電子が放出された負のしきい電圧を持つMOSTランジスタに割当てたかを、記憶するものである。

つまり、1つのメモリセルブロック111毎に、“1”のデータを記憶するのが負のしきい電圧のものか、正のしきい電圧のものかを変えている。すなわち、1つのメモリセルブロック111中の記憶データの中で“1”の数が多ければ“1”のデータを負のしきい電圧のものに割当て、“0”の数が多ければ“0”のデータを負のしきい電圧のものに割当てている。このようにすることにより、メモリセルブロック111中のメモリセル用MOSTランジスタM1～M8は、半数以上が負のしきい電圧のものとなる。

【0026】以下、これについて図2を参照して詳しく説明する。この図2に示す例は、メモリセルブロック111中に8個のメモリセル用MOSTランジスタが存在する場合において、“1”、“0”の数と“1”、“0”に対応するランジスタのしきい電圧、およびビットチェック用ランジスタのしきい電圧を示している。例えば、no. 3は、“1”のデータが2個、“0”のデータが6個ある場合である。この場合には、“0”のデータを負のしきい電圧を持つMOSTランジスタに、“1”のデータを正のしきい電圧を持つMOSTランジスタにそれぞれ割当てて。そして、この割当てを、ビットチェック用MOSTランジスタCTを正のしきい電圧にすることによって記憶する。また、no. 6は“1”のデータが5個、“0”のデータが3個の場合である。この場合は、“1”のデータを負のしきい電圧を持つMOSTランジスタに、“0”のデータを正のしきい電圧を持つMOSTランジスタにそれぞれ割当てて。そして、この割当てをビットチェック用MOSTランジスタCTを負のしきい電圧にすることによって記憶する。また、no. 5に示すように、“1”のデータと“0”のデータの数が同じ時は、“1”のデータを負のしきい電圧を持つMOSTランジスタに、“0”のデータを正のしきい電圧を持つMOSTランジスタにそれぞれ割当て、ビットチェック用MOSTランジスタCTを負のしきい電圧にしておく。

【0027】このような構成によれば、メモリセルブロック111中の浮遊ゲートから電子の放出された負のしきい電圧を持つMOSTランジスタを常に半数以上にできる。このため、メモリセルブロック111を流れる電流を多くでき、且つ負荷ランジスタL1にも電流駆動能力の大きいものを使用できるので、読み出し速度を大幅に向上できる。

【0028】なお、図2ではメモリセルブロック111が8個のメモリセル用MOSTランジスタを有する場合を例に取って説明した。しかし、ランジスタの数はこれに限るものではなく、16個あるいは32個など他の数であってもよいのは言うまでもない。

【0029】図3は、前記図1に示したメモリセルブロック111をマトリクス状に配列して形成した半導体記憶装置を示す。図3において、113、114はメモ



リセルアレイである。これらのメモリセルアレイ113, 114はそれぞれ複数のアレイ113<sub>1</sub>, 113<sub>2</sub> および114<sub>1</sub>, 114<sub>2</sub> に分割されている。そして、これらのメモリセルアレイ113, 114における選択用トランジスタS1R, S2R, …およびS1L, S2L, …は、それぞれ、行デコード115の出力信号X1R, X2R, …およびX1L, X2L, …によって選択的に導通制御される。また、ビットチェック用MOSTランジスタCT1R, CT2R, …およびCT1L, CT2L, …は、それぞれ、行デコード115の出力信号C1R, C2R, …およびC1L, C2L, …によって選択的に導通制御される。同様に、メモリセル用MOSTランジスタM1R, M2R, …, M8RおよびM1L, M2L, …, M8Lも、それぞれ、上記行デコード115の出力信号W11R, W12R, …, W18RおよびW11L, W12L, …, W18Lによって選択的に導通制御される。116は列デコードである。この列デコード116の出力信号Y1R, Y2R, …, YnR およびY1L, Y2L, …, YnLにより、セレクトゲートCG1R, CG2R, …, CGnRおよびCG1L, CG2L, …, CGnLが選択的に導通制御される。上記セレクトゲートCG1R, CG2R, …, CGnRおよびCG1L, CG2L, …, CGnLの一端は、それぞれ、各アレイ113<sub>1</sub>, 113<sub>2</sub>, 114<sub>1</sub> および114<sub>2</sub> 毎にノードN1に共通接続されている。これらの共通接続点(ノードN1)と電源V<sub>DD</sub>との間には、それぞれ、負荷MOSTランジスタL1, L1, …が接続されている。上記各負荷MOSTランジスタL1, L1, …の一端としてのノードN1には、それぞれ、センスアンプ112, 112, …が接続されている。ノードN1(3)に接続されたセンスアンプ112(3)の出力D1R, およびノードN1(2)に接続されたセンスアンプ112(2)の出力D1Lはそれぞれデータ判定回路117<sub>1</sub> に供給される。このデータ判定回路117<sub>1</sub> は、インバータ118, 119、Pチャネル型のMOSTランジスタQ1~Q4およびNチャネル型のMOSTランジスタQ5~Q8を有する。この判定回路117<sub>1</sub> は、一方のアレイ113<sub>1</sub> のメモリセル用MOSTランジスタMから読み出した記憶データを、他方のアレイ114<sub>1</sub> のビットチェック用MOSTランジスタCTが正のしきい電圧か負のしきい電圧かに応じて、反転させるかあるいは反転させることなくそのまま出力させるか、選択したメモリセル用MOSTランジスタの記憶データを判定し、反転したデータかあるいは反転しないデータを図示しない出力バッファへ出力する。同様に判定回路117<sub>1</sub> は、一方のアレイ114<sub>1</sub> のメモリセル用MOSTランジスタMから読み出した記憶データを、他方のアレイ113<sub>1</sub> のビットチェック用MOSTランジスタCTが正のしきい電圧か負のしきい電圧かに応じて、反転させるかあるいは反転させることなくそのまま出力させるか、選択したメモリセル用MOSTランジスタの記憶データを判定し、反転したデータかあるいは反転しないデータを図示しない出力バッファへ出力する。

そのまま出力させるか、選択したメモリセル用MOSTランジスタの記憶データを判定し、反転したデータかあるいは反転しないデータを図示しない出力バッファへ出力する。ノードN1(4)に接続されたセンスアンプ112(4)の出力D2R, およびノードN1(1)に接続されたセンスアンプ112(1)の出力D2Lは、それぞれ、データ判定回路117<sub>2</sub> に供給される。このデータ判定回路117<sub>2</sub> は、上記データ判定回路117<sub>1</sub> と同一構成のものである。この判定回路117<sub>2</sub> は、一方のアレイ113<sub>2</sub> のメモリセル用MOSTランジスタMから読み出した記憶データを他方のアレイ114<sub>2</sub> のビットチェック用MOSTランジスタCTが負のしきい電圧か正のしきい電圧かに応じて、反転させるかあるいは反転させることなくそのまま出力させるかについて、選択したメモリセル用MOSTランジスタMの記憶データを判定し、反転したデータかあるいは反転しないデータを図示しない出力バッファへ出力する。同様に判定回路117<sub>2</sub> は一方のアレイ114<sub>2</sub> のメモリセル用MOSTランジスタMから読み出した記憶データを他方のアレイ113<sub>2</sub> のビットチェック用MOSTランジスタCTが負のしきい電圧か正のしきい電圧かに応じて、反転させるかあるいは反転させることなくそのまま出力させるかについて、選択したメモリセル用MOSTランジスタMの記憶データを判定し、反転したデータかあるいは反転しないデータを図示しない出力バッファへ出力する。

【0030】図示の如く、図3の回路では、行デコード115を挟んでその右側と左側に2つのメモリセルアレイ113, 114を配置している。右側のメモリセルアレイ113のデータをチェックするビットチェック用MOSTランジスタCTは対応する左側のメモリセルアレイ114中に組込まれている。反対に、左側のメモリセルアレイ114のデータをチェックするビットチェック用トランジスタは対応する右側のメモリセルアレイ113中に組込まれている。例えば、ビットチェック用MOSTランジスタCT1Rは、メモリセルM1L~M8Lのチェックのためのものである。トランジスタCT1Lは、メモリセルM1R~M8Rのチェックのためのものである。このように、図3の構成例では、行デコード115を挟んで左右対称の構成とし、左側と右側の対称の位置に存在する一対のメモリセルブロックの一方は他方に対するビットチェック用MOSTランジスタCTを有している。但し、これはシンボリックな回路での話であり、実際のパターンをとりたてて対称にする必要はない。

【0031】次に、上記構成の回路動作を図4に示す真理値表を参照しつつ説明する。D1L, D1Rは、前記図3に示したように、センスアンプ112, 112によって読み出されたデータである。このセンスアンプ112, 112は、負のしきい電圧を持つMOSTランジスタ

タから成るメモリセルが選択された場合には、“0”のデータを出力し、正のしきい電圧を持つトランジスタから成るメモリセルが選択された場合には“1”のデータを出力する。今、アドレス信号A0が“0”の時は、左側のセルアレイ114におけるメモリセルからのデータが読み出され、右側のセルアレイ113におけるビットチェックデータが読み出されるものとする。この場合、データD1Lは左側のセルアレイから、データD1Rは右側のセルアレイからそれぞれ読み出されたデータである。そして、Z1はこれらのデータD1L、D1Rに基づいてデータ判定回路117<sub>1</sub>から出力バッファに対して出力されるデータである。図3に示すデータ判定回路117<sub>1</sub>は、この真理値表を満足するように構成されている。センスアンプ112によって読み出されたデータD1Lが“0”で且つD1Rも“0”の時は、メモリセルの記憶データおよびビットチェックデータであるD1Rが“0”であることから、メモリセル用MOSTランジスタおよびビットチェック用MOSTランジスタは負のしきい電圧である。よって、前記図2より、メモリセルは“1”のデータを記憶している。ゆえに出力Z1は“1”とする。一方、センスアンプ112の出力D1Lが“1”で且つD1Rが“0”の時は、メモリセル用MOSTランジスタが正のしきい電圧である。また、ビットチェック用MOSTランジスタは負のしきい電圧であるので、メモリセル用MOSTランジスタは“0”を記憶しており、出力Z1は“0”とする。また、センスアンプ112の出力D1Lが“0”で且つD1Rが“1”の時は、メモリセル用MOSTランジスタが負のしきい電圧で、ビットチェック用MOSTランジスタは正のしきい電圧であることから、メモリセル用MOSTランジスタは“0”を記憶しており、出力Z1は“0”とする。さらに、センスアンプ112の出力D1L、D1Rが共に“1”の時は、メモリセル用MOSTランジスタおよびビットチェック用MOSTランジスタは正のしきい電圧であるので、メモリセル用MOSTランジスタは“1”を記憶している。従って、出力Z1は“1”とする。

【0032】アドレス信号A0が“1”の場合も同様であり、D1Rがメモリセルデータ、D1Lがチェックデータである。このように、各メモリセルブロック毎に“1”あるいは“0”を記憶するのが浮遊ゲートに電子が注入された正のしきい電圧を持つMOSTランジスタであるのかあるいは浮遊ゲートから電子が放出された負のしきい電圧を持つMOSTランジスタであるのかが、ビットチェックデータにより選別されている。

【0033】なお、上述した説明では、アドレス信号A0が“0”の時は左側のメモリセルアレイ114中のメモリセルからデータが読み出され、アドレス信号A0が“1”の時は右側のメモリセルアレイ113中のメモリセルからデータが読み出される。しかしながら、このよ

うな態様に限られるものではなく、要は、あるメモリセルブロックからデータを読み出す時、そのメモリセルブロックに対応するビットチェックデータを有するトランジスタから同時にビットチェックデータを読み出すように構成すれば良い。

【0034】次に、図5を用いてメモリセルM1Rからデータを読み出す場合を例に取って説明する。この時は、列デコード116の出力信号Y2R、Y2Lは“1”、他の出力信号Y1R、Y1L、YnR、YnLは全て“0”である。よって、セレクトゲートCG2R、CG2Lはオン状態となる。また、行デコード115の出力信号X1R、X1Lは“1”レベルに、X2R、…、X2L、…は“0”レベルにそれぞれ設定する。これによって、信号X2R、…、X2L、…が供給されるMOSTランジスタS2R、…、S2L、…はオフ状態となる。一方、信号X1R、X1Lが供給されるMOSTランジスタS1R、S1Lはオン状態となる。選択されるメモリセル用MOSTランジスタM1Rに接続されるビットチェック用MOSTランジスタCT1Rを制御する信号C1Rは“1”レベルである。メモリセル用MOSTランジスタM1Rに対応するビットチェック用MOSTランジスタCT1Lを制御する信号C1Lは“0”レベルである。信号W11R～W18Rの内、選択するMOSTランジスタM1Rに対する信号W11Rのみが“0”レベルで、他の信号W12R～W18Rは全て“1”レベルとなる。一方、これらのメモリセル用MOSTランジスタW11R～W11Rと行デコード115を挟んで対抗する信号W11L～W18Lは、全て“1”レベルである。よって、右側のメモリセルアレイ113では、ゲートが“0”レベルであるメモリセルM1Rの記憶データが読み出され、センスアンプ112(3)はこれを検出して“1”レベルを出力する。これに対し、左側のメモリセルアレイ114では、ゲートが“0”レベルであるビットチェック用MOSTランジスタCT1Lからデータが読み出される。このとき、ビットチェック用MOSTランジスタは正のしきい電圧であるので、センスアンプ112(2)はこれを検出して“1”レベルを出力する。よって、センスアンプ112(2)、112(3)の出力は共に“1”レベルであるので、データ判定回路117<sub>1</sub>の出力信号Z1は“1”レベルとなり、メモリセル用MOSTランジスタM1Rの記憶データは“1”であることがわかる。

【0035】図6は、上述したような各信号X1R、C1R、W11R～W18R、X1L、C1L、W11L～W18Lの真理値表で、この例では上記各信号をアドレス信号A0、A1、A2、A3から生成している。すなわち、この真理値表を満足するように回路を組めば良い。また、信号X1R、X2R、…を出力する真理値表は示していないが、これは従来と同じであり、更にアドレス信号A4、A5等のアドレスを追加してメモリセル

容量に応じていずれか1つが選択されるようにすれば良い。また、上記図6では1つのメモリセルブロックが8個のメモリセル用MOSトランジスタから成る場合のものであるが、例えば16個や32個のトランジスタから成る場合には、これに対応してアドレス信号を追加し、同様の機能を持たせるようにすれば良い。

【0036】上記第1の例によれば、1つのメモリセルブロックを構成するメモリセル用MOSトランジスタの半数以上を負のしきい電圧にできるので、従来に比べてメモリセルブロックを流れる電流を多く設定でき、且つ

10 負荷MOSトランジスタL1にも電流駆動能力の大きいものが使用できるのでより高速な読み出しが可能となる。

【0037】次に、同じく本発明に関連する第2の例を図7によって説明する。この例は、1つの列線を2つのメモリセルブロックに共通に接続したものである。即ち、列線D1をノードN1において選択トランジスタT1(1)、T2(1); T1(2)、T2(2)を介してメモリセルブロックMB(1)、MB(2)に接続している。また、列線D2をノードN2において選択トランジスタT1(3)、T2(3); T1(4)、T2(4)を介してメモリセルブロックMB(3)、MB(4)に接続している。さらに、各メモリセルブロックMBの他端側はトランジスタ10を介して基準電位に接続している。信号S1が論理“1”になると新たに例えばトランジスタT1(1)がオンし、左側のメモリセル束MB(1)、MB(2)が選択される。トランジスタT2(1)、T1(2)、T2(3)、T1(4)は、デプレッション型であり、信号S1あるいは信号S2が

30 論理“0”であってもオンのままである。これらのデプレッション型のトランジスタの代わりに単に拡散層等の配線を用いても良い。

【0038】この第2の例においても従来と同様に、メモリセルにデータをプログラムするときは、図7(b)からわかるように、まずメモリセルの制御ゲートに接続されている全ての行線WL1~WLnを0Vにし、基板を高電圧して全てのメモリセルの浮遊ゲートから基板に電子を放出する。メモリセルへのデータのプログラムの時は、従来と同様に、信号φを0Vにしてトランジスタ10をオフさせ、メモリセル束を基準電位から切り離す。この後、選択トランジスタT1、T2に供給される信号S1、S2を共に高電位V1に設定する(t1)。さらに、選択されるメモリセルブロックに対応する全ての行線WL1~WLnを電位V2に設定する。そして列線D1、D2に電位V3を供給し、メモリセルブロックを電位V3から充電する。この後、信号S2を0Vとして、書き込みを行わないほうの選択トランジスタT2をオフする(t2)。つまり、図7(a)において右側のメモリセルブロックMB(2)、MB(4)へのプログラムを行わないときは、信号S2を0Vとして右側の選

択トランジスタT2(2)、T2(4)をオフさせる。トランジスタ10もオフしていることから、右側のメモリセルブロックMB(2)、MB(4)には、電位V3から充電された電位がそのまま保たれる。このうち、列線D1、D2の電位を、0Vにするかあるいは電位V3にするかによって、従来のように、左側のメモリセルブロックMB(1)、MB(3)にプログラムが行われる。右側のメモリセルブロックMB(2)、MB(4)は、電位V3から充電されているので、行線WLが高電位V1に設定されていたとしても、浮遊ゲートと基板(チャネル)との間の電位差がトンネルを起こすのに十分な値とならず、浮遊ゲートに電子が注入されることはない。時刻t2において、行線WLnが高電位V1に、非選択の行線WLはV1よりも低いV2の電位に、列線D1は0Vに、列線D2は電位V3にそれぞれ設定されている。このため、メモリセルMn(1)のみの浮遊ゲートと基板(チャネル)との間の電位差が、トンネルを起こすのに十分な値となり、基板から浮遊ゲートに電子が注入される。同様に、時刻t3には、メモリセルM2(1)に、時刻t4にはメモリセルM1(1)の浮遊ゲートに電子が注入される。

【0039】以上説明したようにこの実施例によれば、この第2の例に特有のプログラム手順を追加したので、つまり、隣り合った2つのメモリセルブロックを1つの列線に共通に接続し、非選択なメモリセルブロックを浮遊ゲートと基板との間に電子のトンネルが起こらないように電位V3から充電し、その後、非選択なメモリセルブロックの選択トランジスタをオフして非選択なメモリセルブロックにその充電電位を保つような、プログラムの手順を追加したため、隣り合ったメモリセルブロックで一つの列線を共用することができるようになった。このため、列線の数従来半分にし、隣り合ったメモリセルブロック同士のメモリセルブロックと列線の接続部がメモリセルアレイの占有面積を決めないようにすることができる。

【0040】なお、列線の電位は上記のように0Vでなくともよい。電位V3から充電された電位が、寄生フィールドトランジスタを介して、隣の0Vの列線へ放電しないようにするためには、1V、2V程度の電位に保っておくのが望ましい。

【0041】次に、本発明に関連する例について説明する。この例は、浮遊ゲートへの電子の注入量のばらつきを抑えるようにしたものである。

【0042】この例の概要について説明する。

【0043】この例は、メモリセルの制御ゲートに供給する高電圧を、メモリセルのしきい電圧をチェックするためのデータ読み出し毎に、前の電圧値よりも高くすることにより、上記目的を達成したものである。すなわち、上記のように、製造工程等のばらつきに起因して、ゲート絶縁膜の膜圧がメモリセル毎に均一ではなくばら

つく。このばらつきにより、浮遊ゲートへの電子の注入量が異なってくる。各メモリセルのしきい電圧を等しくしようとすると、ゲート絶縁膜のばらつきに応じて行線（すなわちメモリセルの制御ゲート）に加える電圧値を変えねばならない。従来は、全てのメモリセルに対して、同一の電圧を制御ゲートに加え、電子を注入していたため、メモリセルのしきい電圧にばらつきが生じたのである。これに対し、この例においては、メモリセルの浮遊ゲートに電子を注入する場合、行線を高電圧にすると共に、電子を注入したいメモリセルが接続されている列線を0Vにする。一方、電子を注入しないメモリセルが接続されている列線は、浮遊ゲートとチャネルとの間の電界をトンネルを起こさない程度に小さくするため、所定の電圧V3に設定される。このように、行線を高電圧に、各列線を0VあるいはV3に設定し、所定の期間だけ選択的にメモリセルの浮遊ゲートに電子を注入する。この後、チェックのための読み出しを行う。メモリセルのしきい電圧が所定の値になっているときには、このメモリセルが接続されている列線を、このメモリセルにもうこれ以上電子を注入しないようにするため次に他のメモリセルの浮遊ゲートに電子を注入するときに電圧V3にする。チェックのための読み出しも、通常の読み出しと同様に、選択された行線を0Vにして、メモリセルがオフするかどうか見れば良い。チェックのための読み出しが終了した後は、行線に前回よりも更に高い電圧の高電圧を与える。この高電圧は前回より、例えば0.5Vか1V程度高い値でよい。そして、電子の注入が不十分なメモリセルが接続されている列線を0Vに設定して電子の注入を行わせる。さらに、電子を注入したくないメモリセルが接続されている列線と既に電子が十分注入されたメモリセルが接続されている列線とをそれぞれV3の電位に設定し、浮遊ゲートへの電子の注入が行われないようにする。この後のチェック読み出しの後、行線を更に高い電圧に設定する。この後、上記と同様に、電子の注入が不十分なメモリセルが接続されている列線を0Vにして電子の注入を行わせると共に、電子を注入したくないメモリセルが接続されている列線と電子の注入が十分行われているメモリセルが接続されている列線をV3の電位に設定して浮遊ゲートへの電子の注入が行われないようにする。このような動作を順次繰り返す行い、その都度行線の電位を高めていく。つまり、チェック読み出しにより電子の注入が完了したものにおいては列線の電位を上昇させてこれ以上電子の注入が行われないようにし、電子の注入が足りないもの（このようなものはゲート絶縁膜が厚く作られている可能性がある）には更に行線の電位を上昇させて電子の注入を行う。このように行線の電位を順次上昇させて浮遊ゲートへの電子の注入を行っているため、各メモリセルに対してほぼ最適な電位で電子の注入を行うことができる。

【0044】上記の例による行線の電位を発生するため

の回路を図8を参照して説明する。図8(a)はその行線の電位を発生するための電位発生回路PGで、同図(b)は一例としての行デコーダRDである。行デコーダRDは、電位発生回路PGの出力VP'を受け、このVP'を選択された行線に出力するものである。図8(a)の回路PGは、抵抗分割により、所定の電位を、段階的に低い電位から高い電位まで順に作り、信号1〜5を順次論理“1”とすることにより、各プログラム毎に、順次電位VP'を高くして出力するものである。この信号1〜5は、論理“1”の時その電位はVPとなり、論理“0”の時は接地電位すなわち0Vになる。

【0045】即ち、図8(a)の電位発生回路PGは、高圧側基準電位VPと接地電位との間に直列に抵抗R、R、…及びトランジスタT10が接続されている。2つの抵抗R、Rの接続点であるノードN1〜N5にトランジスタT1〜T5のゲートが接続されている。これらのトランジスタT1〜T5の一端は高圧側基準電位VPに接続され、他端はそれぞれトランジスタT11〜T55を介して、電位VP'を出力する出力端OUT1につながっている。また、出力端OUT1には、デプレッション型トランジスタT6を介して、電源電位VCが接続されている。

【0046】また、図8(b)における行デコーダRDは、接地電位と電源電位VCとの間に、トランジスタT21〜T24が直列に接続されている。トランジスタT21〜T23のゲートにはアドレスAが加えられる。トランジスタT24のゲートは接地されている。トランジスタT24、T23間のノードN10は、ゲートがVCに接続されたトランジスタT25を介して、ノードN11つまりトランジスタT27、T28のゲートに接続されている。これらのトランジスタT27、T28は図8(a)の回路PGから出力される電位VP'と接地電位との間に直列に接続されている。これらのトランジスタT27、T28の接続点（ノードN12）が出力端OUT2となっており、行線につながっている。また、電位VP'とノードN11との間にトランジスタT26が接続されている。このトランジスタT26のゲートにはノードN12が接続されている。なお、ここで、トランジスタT24、T26、T27はPチャネル型である。

【0047】浮遊ゲートに電子を注入するときは信号Pを論理“1”に、信号/Pを論理“0”にする。この後、信号1〜5が順次論理“1”になり各プログラム毎に順次電位VP'を出力する。

【0048】チェックのためのデータ読み出し時と通常の読み出し時は、信号Pは論理“0”に、信号/Pは論理“1”になり、VP'にはVCが出力される。図9及び図10はこの信号1〜5を作るための回路で、図11は図9、図10の各ノードの信号波形である。図9の回路は、それぞれ3つのノア回路を有するブロックB1、B2、…が多段に直列接続されたものである。即ち、プ

ロックB1においては、一対のノア回路NOR11, NOR12はお互いに一方のノア回路の出力端が他方のノア回路の一方の入力端に接続されフリップフロップ回路が構成されている。ノア回路NOR11の他方の入力端には信号Pが加えられている。ノア回路NOR12の他方の入力端には信号CLが加えられている。ノア回路NOR11の出力はノア回路NOR1の一方の入力端に加えられ、ノア回路NOR1の他方の入力端には信号S2が加えられる。このようにブロックB1が構成されている。他のブロックB2, B3, …もほぼ同様に構成される。ただし、ノア回路NOR1, NOR2, …のうち、奇数番目のものには信号S2が入力され、偶数番目のものには信号S1が入力されている。そして、これらのブロックB1, B2, …の直列接続に当っては、図9中、各ブロックにおける上段のノア回路NOR1, NOR2, …の出力を、それぞれ、次段のブロックにおける中段のノア回路NOR21, NOR31, …の入力端に加えるようにしている。そして、奇数段のブロックB1, B3, …における下段及び中段のノア回路NOR12, NOR32, …; NOR11, NOR31, …からそれぞれ信号1, /1; 2, /2; …を得るようにしている。

【0049】図10の回路は、信号n' から信号nを作る回路を示している。この回路においては、入力端(ノードN0)がPチャネル型トランジスタT1, Nチャネル型トランジスタT2のゲートに接続されている。これらのトランジスタT1, T2の直列回路とNチャネル型トランジスタT8とが、電源電位VCと接地電位との間に接続されている。トランジスタT8のゲートには信号Pが供給される。2つのトランジスタT1, T2間のノードN1は、Nチャネル型トランジスタT4を介して、ノードN2つまりPチャネル型トランジスタT6, Nチャネル型トランジスタT7のゲートに接続されている。トランジスタT4のゲートには電源電位VCが供給されている。トランジスタT6, T7は、高圧電源電位VPと接地電位との間に直列接続されている。トランジスタT6, T7の中間ノードN3が出力端となっており、信号nが出力される。電源電位VCとノードN1との間にPチャネル型トランジスタT3が接続され、そのゲートには信号Pが与えられている。さらに高圧側電源VPとノードN2との間にPチャネル型トランジスタT5が接続され、そのゲートはノードN3に接続されている。

【0050】図11からわかるように、浮遊ゲートへの電子の注入を始めるときは、信号CLが論理“1”となり(t1)、図9の回路中のフリップフロップを初期化する。その後、信号Pが論理“1”となり(t2)、これを受けて信号S1が論理“0”にされる(t2)。信号1'は信号Pにより論理“1”にされ、図10に示す回路により、VPが論理“1”の信号1として出力される。前述のように、信号2〜5を出力する回路も同様の

構成であり、入力信号2', 3', 4', 5'を2, 3, 4, 5として出力する。所定の時間が過ぎると信号Pは論理“0”となり(t3)、浮遊ゲートへの電子の注入は停止する。信号Pが論理“0”になるのを受けて、信号S2は論理“0”になる。信号Pが論理“0”になっている間(t3)に、浮遊ゲートへの電子の注入状態をチェックするための読み出しが行われる(t3)。前述のごとく、電子の注入が十分行われているメモリセルが接続されている列線をV3の電位に設定し、浮遊ゲートへの電子の注入が行われないようにする。なお、この例では、信号1〜4が論理“1”になったときの電子の注入をそれぞれ1度しか行わないようにしているが、これは2度あるいは3度と繰り返して行うようにしても良い。

【0051】読み出しが終り、浮遊ゲートへの電子の注入が十分なメモリセルが接続されている列線がV3の電位に設定されると、再び、信号Pが論理“1”となる(t4)。これを受けて、信号S1が、論理“0”になり、信号2'が論理“1”にされる。これにともない、信号2も論理“1”にされ、VP'は前回よりも高い値に設定される。所定の時間が過ぎた後、信号Pは論理“0”にされ(t5)、これを受けて信号S2は論理“0”になる。その後、再び、電子の注入が十分行われているメモリセルが接続されている列線をV3の電位に設定し、浮遊ゲートへの電子の注入が行われないようにする。この電子の注入と、電子の注入状態のチェックを繰り返し行う。そして、信号5が論理“1”になるVP'の電位が最も高い状態になると(t6)、全てのメモリセルの浮遊ゲートに電子が十分注入されてメモリセルのしきい電圧が所定の値になるまで信号5'が論理“1”の状態、電子の注入と電子の注入状態のチェックとが繰り返し行われる。この図11の例では、信号5が2度論理“1”となりVP'が最も電位の高い状態での電子の注入が2度行われる例を示している。

【0052】電子を注入すべき全てのメモリセルのしきい電圧が所定の値になると、電子の注入と電子の注入量のチェックのための読み出しは止められ、信号CLが論理“1”となり(t7)、図9の回路のフリップフロップは初期状態に戻される。

【0053】このように、本実施例によれば、電子を注入するための電圧の値を順次高くしていき、その都度電子の注入量をチェックし、所定のしきい電圧になったものから順番に電子の注入を止めるようにしているので、製造工程のばらつき等によるゲート絶縁膜厚のばらつき等を吸収できる。これにより、各メモリセルを最適のしきい電圧に設定できる。このため、電子の注入が終了した後のメモリセルのしきい電圧のばらつきを従来よりも小さくすることができる。よって従来よりも読み出し速度を速くした不揮発性半導体メモリを提供できる。

【0054】図12は、本発明による電圧VP'を発生

するための他の実施例を示す。この実施例は、信号1～5がゲートに入力されているNチャネル型トランジスタT1～T5と、リーク回路LCとの電流の比により、VP'の電位を決定するものである。この回路では、高圧電源電位VPと共通ノードNとの間にトランジスタT1～T5を接続し、且つ、電源電位VCと共通ノードNとの間にNチャネルデプレッション型トランジスタTOを接続している。トランジスタT1～T5、TOのゲートには、それぞれ信号1～5、/Pが供給されている。共通ノードNと接地電位との間にリーク回路LCが接続されている。そして、この共通ノードNから電位VP'が取り出される。

【0055】この回路において、信号1～5が順次論理“1”になる。このため、信号1が論理“1”の時に最も電位VP'が低く、信号1～5の全てが論理“1”になったときに最も電位が高くなる。この信号1～5は、前述の図9、図10で示した回路から供給される。

【0056】以上の実施例では、メモリセルの浮遊ゲートに電子を注入するための電圧を5種類設定し、順次高くしていくようにしている。しかし、5種類である必要はなく、製造プロセスに合わせ最適の数に設定すれば良い。本発明の本質は、電子を注入するときの電圧を順次高くしていく、このことによって、各メモリセルに最適の電圧で電子を注入するところにあるのであり、上記実施例の回路に限定されるものではない。

【0057】次に、本発明の実施例について説明する。

【0058】この実施例は、読み出し速度の速いフラッシュEEPROMに関するものである。

【0059】図面を参照して本実施例を説明する前に本発明を概略的に説明する。

【0060】この発明は、メモリセルの制御ゲートとドレインとに高電圧を印加してチャネル電流を流し、これによりホットな電子を発生させて2進データのうちの一方のデータを書き込んでいるため、従来のように浮遊ゲートからトンネル効果で電子を抜き2進データのうちの一方のデータを書き込むものに比べて、メモリセルのしきい電圧のばらつきの幅を小さくして、読み出し速度のより速いフラッシュEEPROMを実現したものである。

【0061】この発明では、メモリセルアレイのレイアウト及び回路構成を、メモリセルのしきい電圧が負の時でもメモリセルにデータを書き込めるようにしたものを採用している。

【0062】即ち、この発明では、まずメモリセルの制御ゲートを0Vに設定し、メモリセルのドレインあるいはメモリセルの形成されている半導体基板に高電圧を印加する。このようにして、浮遊ゲートからドレインあるいはチャネル領域に、トンネル効果を利用して電子を放出する。このときは、メモリセルのしきい電圧が負になっても良いため、全てのメモリセルのしきい電圧が負に

なるように電子を放出する。その後、メモリセルの行線及び所定の数のメモリセルのドレインに高電圧を印加して、メモリセルにチャネル電流を流し、チャネルから浮遊ゲートに電子を注入して、2進データ的一方をメモリセルに書き込む。この後、データを書き込んだメモリセルの行線を所定の電圧値に設定し、同時に、書き込んだ複数個のメモリセルから同時にデータを読み出す。このデータの書き込みとデータの読み出しを繰り返して行い、所定のしきい電圧にメモリセルが到達したときに書き込みをやめる。一般に、ドレインと制御ゲートに高電圧を印加してチャネル電流を流し、チャネルから浮遊ゲートに電子を注入するときは、注入後のメモリセルのしきい電圧は、制御ゲートに印加された電圧の値に比例する。すなわち、制御ゲートに印加された電圧の値が高ければ、電子が浮遊ゲートにたくさん注入されることになって、注入後のしきい電圧は高くなる。一方、制御ゲートに印加された電圧がこの値よりも低ければ、電子の浮遊ゲートへの注入量も少なくなり、注入後のしきい電圧も低い値となる。本発明においては、メモリセルの制御ゲートに印加する電圧をある程度低い値にして、メモリセルの浮遊ゲートに電子を注入している。このため、メモリセルのしきい電圧のばらつきを小さくできると共に、メモリセルのしきい電圧を正の小さな値に制御できる。しかも、注入後の読み出しも、少ない数のメモリセルに対して行い、これらのメモリセルで書き込みと読み出しを繰り返しているため、メモリセル間のしきい電圧のばらつきをさらに小さくできる。全てのメモリセルの浮遊ゲートに電子の注入が終了し、全てのメモリセルに前述の2進データの方のデータの書き込みが完了すると、今度は、制御ゲートにさらに高い高電圧を印加して選択的にドレインに高電圧を印加して浮遊ゲートに電子を注入し2進データの他方のデータを選択的に書き込む。このようにして、全てのメモリセルに書き込むべき2進データに対応してデータを書き込む。一度目の浮遊ゲートへの電子の注入後のメモリセルのしきい電圧の値は、制御ゲートが0Vの非選択の時にはメモリセルはオフし、制御ゲートに例えば5V程度が与えられる選択状態の時はオンするような値に設定される。2度目の電子の注入の時の制御ゲートの電位は一度目よりも高くされ、電子の注入後のメモリセルのしきい電圧は選択されたときにオンしない程度まで高くあげられる。このようにメモリセルが選択されたときにオンするかしないかで2進データの方と他方が記憶される。

【0063】上記本発明の一実施例を図13を参照して説明する。図13は本実施例のフラッシュEEPROMのメモリセルアレイの一例である。図13(a)は平面図、(b)はA-A'線断面図、(c)はB-B'線断面図、(d)はC-C'線断面図、(e)はそのシンボル図である。図33と同じ箇所には同じ番号を付して説明する。1は行線、メモリセルの制御ゲートを形成して



いる。2は浮遊ゲート、3はチャネル領域、4はゲート絶縁膜である。5は、例えばアルミニウムで作られた列線である。隣り合ったメモリセルで共用されるドレイン6が列線5と接続されている。8は、例えばアルミニウムで作られた基準電位（例えば接地電位）を供給するための配線で、隣り合ったメモリセルで共用されるメモリセルのソース7に、トランジスタ10を介して、接続位置9で接続されている。SbはP型の半導体基板である。

【0064】このような構成の本発明の一実施例にあっては、メモリセルのソースは、トランジスタ10を介して、基準電位と接続されているためメモリセルのしきい電圧が負になったとしても、列線の電位は下がることはない。電子が放出されてしきい電圧が負になったメモリセルに電子を注入するときは、メモリセルのソース7を挟んだ隣り合った2つのメモリセルに同時に行われる。そして、この同時に電子の注入されるメモリセルのブロック毎に配線8が設けられ、この配線8及びこの配線8に接続される同時に電子が注入されるメモリセルを有するブロックは、他のブロックとは、ソース領域7は分離されている。行線が0Vの非選択なブロックは、トランジスタ10がオフしているため、たとえメモリセルのしきい電圧が負でオンしていたとしても、列線と基準電位に設定されている非選択なブロックに対応する配線8との間に電流経路は生じない。このため、行線が高電圧にされている選択されたメモリセルに、同様にオンにされているトランジスタ10を介して、電流が流れ、メモリセルの浮遊ゲートに電子が注入される。すなわち、本発明においては、複数のソース7を挟んで隣り合って配置されるメモリセルに同時に電子を注入するため、これらの同時に電子を注入するものに対応するトランジスタ10のみをオンさせることができ、選択されたメモリセルのみを基準電位に接続できるのである。以上に説明したように、ソースを挟んだメモリセルに同時に電子を注入することもできるが、トランジスタ10に対応した同一行に接続されるメモリセルのブロックに電子を注入することも可能である。

【0065】図14に従って本発明の一実施例についてさらに詳しく説明する。図14は、図13に示したのと同等のメモリブロックMBを用いて構成したメモリ装置を示している。このメモリブロックMBは、一点鎖線で囲まれたPウェル上に構成されたものである。このPウェルには端子VEから電圧が供給される。このメモリブロックMBにおける行線WL1, WL2, ..., WLnは行デコーダRDに接続されている。このメモリブロックMB中のメモリセルは複数のブロックB1, B2, ...に分割されている。各ブロックB1, B2, ...には基準電位を与えるためのトランジスタ列100A, 100A, ...を有する。これらのトランジスタ列100A, 100A, ...は共通に基準電位VSに接続されている。各トラ

ンジスタ列100Aは複数のトランジスタ100, 100, ...を有する。各ブロックB1, B2, ...における列線5, 5, ...は、トランジスタ200, 201, ...を介して、ノードN1に共通接続される。これらのトランジスタ200, 201, ...のゲートには列デコーダCD1の出力が接続される。さらに、上記ノードN1, N1, ...は、トランジスタ300, 301, ...を介して、ノードN2に共通に接続される。このノードN2は、負荷回路/センスアンプLCSA及びデータ入力回路DINに接続されている。このデータ入力回路DINには入力端INからデータD<sub>in</sub>が加えられる。

【0066】図14の装置において、メモリセルの浮遊ゲートから電子を抜くときは、行線WL1~WLnを0Vにし、VEに高電圧を与えPウェルを高電圧にする。これに伴って、メモリセルの浮遊ゲートに蓄えられていた電子は、浮遊ゲートからウェルに向けて、放出される。結果的に、全てのメモリセルのしきい電圧は負の値になる。次に、これらしきい電圧が負のメモリセルの浮遊ゲートに電子を注入する。この電子の注入は、制御ゲートに供給する電圧の値を調整して、メモリセルが非選択の時オフし且つ選択されたときオンするように、浮遊ゲートに電子が注入される。基準電位VSは、トランジスタ100を介してメモリセルに供給され、トランジスタ100を介して供給される基準電位が共用される。例えば行線WL1, WL2に接続されるメモリセルに同時に行われる。このとき、列デコーダCD1によって制御されるトランジスタ200, 201, ..., 200mは同時にオンにされる。列デコーダCD2の出力によって制御されるトランジスタ300, 301, 302, ...は、それらのうちの選択された1つのトランジスタのみがオンにされ、残りの非選択なトランジスタはオフにされる。このようにして、メモリセルの浮遊ゲートに電子を注入するために、対象とするメモリセルのドレインに、データ入力回路DINからの高電圧が、トランジスタ100に対応したブロックB1, B2, ...のうちの選択された1つに供給される。今、ブロックB1が選ばれ、行線WL1, WL2が選択され高電圧にされたとする。このとき、行線WL1, WL2に接続されるトランジスタ100(1), 100(2)がオンし、オンしたトランジスタ100(1), 100(2)を介して、基準電位VSが行線WL1, WL2に接続されたメモリセルのソースに供給される。データ入力回路DINから出力された高電圧によって電流が、データ入力回路DINからトランジスタ300、トランジスタ200, 201, ..., 200m、メモリセル、オンしたトランジスタ100(1), 100(2)を通して基準電位VSに流れ、浮遊ゲートに電子が注入される。行線WL1, WL2は、適当な高電圧に設定されていることから、浮遊ゲートに電子が注入されすぎること無く、浮遊ゲートと制御ゲートの容量結合、浮遊ゲートとドレインとの容量結合、



浮遊ゲートとチャネルとの容量結合、浮遊ゲートとソースとの容量結合、並びに制御ゲート及びドレインの電位で決まる値までしか、浮遊ゲートに電子は注入されない。このため、電子の注入が飽和するまで長時間この状態を続けても良いが、このときの電子の注入時間を短くするために電子を注入する時間を短く設定し、その都度電子の注入量をチェックするようにし、注入量が適正となったところで電子の注入をやめれば、注入が短い時間で済むという利点がある。このチェックは、電子の注入を行った2つの行線の電位を、正規の読み出しを行う電位よりも低い所定の値に設定し、メモリセルからのデータの読み出しを行ない電子の注入を行ったメモリセルがオフしたところで止めるようにすれば良い。このチェックは電子の注入を行なった複数のメモリセルについて、同時に行なうようにしてもよいし、各メモリセル毎に行なうようにしてもよい。

【0067】非選択な行線、例えば $WL_n$ 、 $WL_{n-1}$ は0Vに設定されている。このため、この2つの行線に接続されているトランジスタ100(n)、100(n-1)はオフしており、行線 $WL_n$ 、 $WL_{n-1}$ に接続されているメモリセルのソースは、基準電位VSとは切り離されている。従って、非選択な行線に接続されているメモリセルを介しての電流流出はなく、選択されたメモリセルのドレイン電位の低下はない。このため、効率よく電子の浮遊ゲートへの注入が行える。

【0068】またこの図14の実施例では、各メモリブロックB1、B2、...において、一本の行線には1つのトランジスタ100しか設けられていないが、これは1つである必要はなく、メモリセルのソース側の抵抗を考慮して、最適な個数にするのが望ましい。同様に、各メモリブロックにおいて、一本の行線に接続するメモリセルの数も、電子の注入が最も効率よく行える数に設定すべきである。ただし、この場合は、各メモリブロックにおいて、一本の行線に接続するメモリセルの数が少なくすると電子注入の効率は向上するものの、その反面チップサイズが大きくなってコストが上昇してしまうので、コストの面からも考慮して最適な個数にするべきである。

【0069】また、前述のごとく、2つの行線に関するメモリセルに同時に電子を注入する必要はなく、1つの行線のみを高電圧に設定し、1つの行線に関するメモリセルに電子の注入を行っても良い。例えば、行線 $WL_1$ が選択されて高電圧にされ、その他の非選択の行線 $WL_2$ 、... $WL_n$ が0Vであるとする、前述の説明のように行線 $WL_2$ 以外の非選択な行線を通しての電流の流出はない。しかしながら、行線 $WL_1$ が高電圧にされていることから、行線 $WL_1$ に接続されているトランジスタ100はオンしている。このため、行線 $WL_1$ に接続されているメモリセルのソースには基準電位VSが供給され、これによって行線 $WL_2$ のメモリセルのソースにも

基準電位VSが供給されている。Pウェルに高電圧VEを供給して浮遊ゲートから電子を放出させた後は、メモリセルのしきい電圧は負になっている。このことから、行線 $WL_2$ に接続されているメモリセルを通して、基準電位VSに電流が流れる。しかしながら、行線 $WL_2$ を高電圧にして2つの行線を同時に高電圧にし、電子を注入するときに、行線 $WL_2$ に接続されているメモリセルに流れる電流よりも、この場合は、行線 $WL_2$ が0Vであるため、行線 $WL_2$ に接続されているメモリセルを通して基準電位VSに流れる電流ははるかに少ない。よって、1つの行線のみを高電圧にしてメモリセルの浮遊ゲートに電子を注入するようにしても、メモリセルのドレイン電圧の降下の心配はない。

【0070】このようにして、全てのメモリセルのしきい電圧を、非選択の時にオフし且つ選択されたときにオンするような値に設定し、2進データ的一方を書き込んだ後、今度は選択的にメモリセルの1つ1つに2進データの他方を書き込んで、全てのメモリセルに、それぞれ対応する2進データを記憶させる。このときは、一般によく知られている従来のNOR型のEEPROMあるいは紫外線消去型の通常のEPROMと同様にしてデータを書き込む。すなわち、一本の選択された行線を更に高電圧にし、列デコードCD1によりトランジスタ200、201、...、200m、の1つをオンとし、列デコードCD2によりトランジスタ300、301、302、...のうちの1つをオンにして、一本の列線を選択する。そして選択された行線と選択された列線との交点に配置されているメモリセルの制御ゲートとドレインとに高電圧を印加し、メモリセルの浮遊ゲートに更に電子を注入して、選択されたときにオフするまでしきい電圧を上昇させる。このようにして2進データの他方を選択的に各メモリセルに書き込む。なお、この実施例では、メモリセルをPウェル上に作り、Pウェルを高電圧にして浮遊ゲートから電子を放出してメモリセルのしきい電圧を負の値になるようにしたが、ウェル領域を使用せず、従来のようにメモリセルの制御ゲート（すなわち行線）を0Vにし、メモリセルのドレイン（すなわち列線）に高電圧を供給して浮遊ゲートからドレインに電子を放出するようにしても良い。あるいは、メモリセルのドレイン、ソース及びこのメモリセルが作られている半導体基板を0Vにして、メモリセルの制御ゲートである行線に行デコードから負の電圧を供給して、浮遊ゲートからメモリセルのドレイン、ソース及び基板へ電子を放出してもよく種々の応用が可能である。

【0071】図15(a)、(b)は、前述のメモリセルの浮遊ゲートから電子を放出させるときに使用する、電圧VEを発生させるのに好適なそれぞれ異なる回路例を示す。例えば、100オングストローム程度の極めて薄いゲート絶縁膜を通して、トンネル効果を利用して、電子を浮遊ゲートに注入したり放出したりする場合、ゲ

ート絶縁膜にはトンネル効果が生じる程度の電界を印加する必要があるが、ゲート絶縁膜に急激に強い電界を印加すると、ゲート絶縁膜の劣化を早めることが知られている。このため、浮遊ゲートに電子を注入する場合においては、制御ゲートへの印加電圧は徐々に上昇させていく必要がある。また、浮遊ゲートから電子を放出させる場合においても、ウェルに印加する電圧VEは徐々に上昇させる必要がある。図15(a)、(b)は、上記のような電圧VEを発生させるのに用いて最適な回路例である。

【0072】先ず、図15(a)において、信号Eが加えられる入力端INにはトランジスタT1～T6を有するレベルシフト回路500が接続されている。この回路500は図10に示した回路図から、トランジスタT3及びT8を取り除いたものと、同等の回路構成を有するこの回路500は、電源VC(例えば5V)レベルの信号を高電圧VPレベルの信号にレベルシフトするための回路である。この回路500の出力側のノードN1には、Nチャネル型トランジスタ402、Pチャネル型トランジスタ403; Pチャネル型トランジスタ410、Nチャネル型トランジスタ411のゲートが接続されている。トランジスタ403、402は、高電圧VPと接地電位との間に直列に接続されている。トランジスタ403と402との接続点のノードN2と、高電圧VPとの間に、Nチャネル型トランジスタ401、Pチャネル型トランジスタ400が直列に接続されている。トランジスタ401のゲートはノードN2に接続されている。トランジスタ400のゲートは、トランジスタ401、400の接続点のノードN3に接続されている。このノードN3はPチャネル型トランジスタ405のゲートに接続されている。このトランジスタ405とNチャネル型トランジスタ406とが、高電圧VPと接地電位との間に直列に接続されている。一方、前記トランジスタ410、411は、高電圧VPと接地電位との間に直列に接続される。トランジスタ410と411との接続点であるノードN5と、接地電位との間に、Nチャネル型トランジスタ407、Nチャネル型トランジスタ408、Nチャネル型トランジスタ409が直列に接続されている。トランジスタ407、408のゲートはそれらのトランジスタの接続点であるノードN6が接続されている。このノードN6は、前記トランジスタ406のゲートに接続されている。さらに、トランジスタ409のゲートには、電源VCと接地電位との間に接続されたインバータI2の出力端が接続されている。インバータI2の入力には、電源VCと接地電位との間に接続されたインバータI1の出力端が接続され、インバータI1の入力はノードN4に接続される。このノードN4は、トランジスタ405と406との接続点であり、電圧VEが出力される。浮遊ゲートから電子を放出するときは入力端INに供給される信号Eを論

理“1”にする。信号Eは、回路500によって高電圧VPレベルの信号にレベルシフトされる。つまり、ノードN1は信号Eが論理“1”になると、レベルシフトされた論理“1”となり、電圧VPとして出力される。よって、トランジスタ402はオンし、トランジスタ403はオフする。すなわち、トランジスタ400、401、402を通して、電圧VPから接地電位へ電流が流れる。この電流値は、デプレッション型Nチャネル型トランジスタ401によって決まり、ゲートとドレインが接続されたPチャネル型トランジスタ400のドレインに、ゲートが接続されたトランジスタ405に流れる電流は、トランジスタ400に流れる電流によって決められる。トランジスタ400とトランジスタ405はカレントミラー回路を構成しており、トランジスタ405に流れる電流は、トランジスタ405とトランジスタ400のトランジスタサイズの比に応じて決定される。すなわち、トランジスタ405によって充電されるVEの電位の上昇速度は、トランジスタ401に流れる電流を調整することによって、調整される。同様に、VEを放電するときは、トランジスタ407に流れる電流を調整することにより、トランジスタ406に流れる電流を変えることができ、これによりトランジスタ407のトランジスタサイズによって、任意に、VEの放電速度を調整できる。

【0073】信号Eが論理“0”になり、VEを放電するときは、ノードN1は論理“0”となり、トランジスタ411はオフし、トランジスタ410はオンする。VEが充電されているときは、このVEがインバータI1及びインバータI2を介してトランジスタ409のゲートに伝達され、トランジスタ409がオンする。これにより、トランジスタ410、407、408、409を通して、高電圧VPから接地電位への電流経路が形成される。VEが所定の電位以下に放電されると、インバータI1がこれを検知し、その出力を論理“1”にする。これに伴って、インバータI2はその出力を論理“0”とし、トランジスタ409をオフさせる。よって、VEが所定の電位以下になると、トランジスタ410、407、408、409を通る電流経路がなくなり、トランジスタ410、407を通してトランジスタ406のゲートはVPまで充電され、VEは接地電位まで放電される。

【0074】VPが外部から供給される電源のときには、電流供給能力は大きいと考えられる。このため、トランジスタ410、407、408、409を介して電流が流れても、VPは電位降下を生じない。しかし、高電圧VPを、VCを利用して、チップ内部で発生させるタイプのものときには、電流供給能力は小さい。このため、上記の電流経路を流れる電流により、VPに電位降下が生じ、十分な高電圧が得られない恐れがある。

【0075】次に、図15(b)は、チップ内部で高電

10

20

30

40

50

圧を発生させ、この高電圧を利用して浮遊ゲートへの電子の注入及び放出を行うタイプのものに対して、最適なVEを発生させる回路の例である。図15(b)の回路が(a)のそれと異なるところは、トランジスタ400, 401を省き、ノードN2を直接トランジスタ405のゲートに接続した点及びトランジスタ410のソースを電源VPに代えてVCに接続した点にある。その他は、同一の構成である。この回路において、内部で発生させるVPは、内部昇圧電位発生回路による電圧昇圧速度が遅いことから、図15(a)に示したトランジスタ400, 401による電位の上昇速度の調整の必要はない。このため、これらのトランジスタ400, 401を省略できたのである。よって、これらのトランジスタを通じての電流の流出はない。また図15(a)では、トランジスタ410のソースをVPに接続していたが、(b)ではこれをVCに変えたので、トランジスタ410, 407, 408, 409の電流経路は、VCと接地電位との間になり、VPからの電流の流出経路はなくなった。このため、チップ内部の電圧昇圧回路で発生させた内部高電圧の利用が十分可能である。

【0076】図16は行デコード回路の一例である。電源SWと接地電位との間に、トランジスタT0~T4が直列に接続されている。Pチャネル型トランジスタT0のゲートは接地されている。Nチャネル型トランジスタT1~T3のゲートにはアドレスAが入力される。Nチャネル型トランジスタT4のゲートには信号/Eが入力される。トランジスタT0, T1の接続点のノードN1がPチャネル型トランジスタT5及びNチャネル型トランジスタT6のそれぞれのゲートに接続されている。これらのトランジスタT5, T6は電源SWと接地電位との間に接続されている。トランジスタT5, T6の接続点のノードN2からデコード信号が出力される。信号/Eは浮遊ゲートから電子を放出するとき論理“0”となり、全ての行線WLを論理“0”、すなわち0Vに設定する。

【0077】図17は、図16に示した行デコード回路の電源SWを発生するための回路の一例である。これらの各ノードの信号波形を図18に示す。

【0078】図17からわかるように、この回路は、電源電位VCと接地電位との間に、抵抗R1, R2及びNチャネル型トランジスタ707が直列に接続されている。このトランジスタ707のゲートには信号CEが加えられている。さらに、電源電位VCと接地電位との間に、Pチャネル型トランジスタ708, Pチャネル型トランジスタ704, Nチャネル型トランジスタ705, Nチャネルデプレッション型トランジスタ703が直列に接続されている。トランジスタ708のゲートには信号Vが加えられている。トランジスタ704のゲートは、前記抵抗R1, R2の接続点であるノードN1が接続されている。トランジスタ705のゲートには信号/

Rが加えられている。トランジスタ703のゲートはそのソースに接続されている。さらに、電源電位VCと、前記トランジスタ704, 705の接続点であるノードN2との間に、Pチャネル型トランジスタ710及びNチャネルデプレッション型トランジスタ711が直列に接続されている。これらのトランジスタ710, 711のゲートには、信号/R, Rが、それぞれ供給されている。さらに、高圧電源電位VPとノードN2との間に、Nチャネル型トランジスタ700~702が接続されている。トランジスタ700のゲートには信号W1が供給されている。トランジスタ701, 702のゲートは、それぞれ、そのドレインに接続されている。さらに、高圧電源電位VPとノードN2との間には、Nチャネル型トランジスタ712が接続され、このゲートには信号W2が供給されている。そして、ノードN2からは電源SWが得られる。

【0079】図18からわかるように、メモリセルの浮遊ゲートから電子を放出する期間T1においては、信号/Eを論理“0”に、信号Rを論理“1”に、信号/Rを論理“0”にそれぞれ設定する。このとき、電源SWにはVCの電位が現れ、このVCによって行デコード回路が動作する。

【0080】浮遊ゲートに電子を注入してメモリセルが非選択の時オフに、選択されたときにオンするようないき電圧にして、全てのメモリセルに、2進データの一方のデータを記憶させるときは、信号/Eを論理“1”に、信号W1を論理“1”に、信号Rを論理“0”に、信号/Rを論理“1”にそれぞれ設定する。この信号W1の論理“1”に対応する電位はVPかあるいはこのVPよりNチャネルエンハンスメント型トランジスタのしきい電圧分だけ高い値である。信号W1がVPの電位であるときには、電源SWの電位は、Nチャネルエンハンスメント型トランジスタ700, 701, 702のしきい電圧の和の分だけ、VPより低い値となる。このSWの電位は、上記のようなメモリセルのしきい電圧の条件を満たすように、設定される。前述したように、この期間を短く設定し、メモリセルのしきい電圧のチェックと電子の注入を順次繰り返すときには、信号Vを論理“1”に(期間T3, T5)、信号W1を論理“0”に戻して行く。信号CEは、チップが選択状態の時は論理“1”であり、トランジスタ704のゲート電位は抵抗R1と抵抗R2の比によって決まり、SWの電位は抵抗R1と抵抗R2の接続点ノードN1の電位よりもNチャネルエンハンスメント型トランジスタのしきい電圧分だけ低い電位に設定される。選択されたメモリセルの制御ゲートには、この電位SWが供給され、メモリセルがオフすればOKとなる。

【0081】更に、期間T6は、メモリセルの浮遊ゲートに電子を注入して選択されたときオフするようないき電圧まで上昇させる期間である。このとき、信号W2

は、論理“1”、すなわち、VPよりNチャネルエンハンスメント型トランジスタのしきい電圧分だけ高い値に、設定される。このときは、SWにはVPの電位がそのまま出力され、浮遊ゲートには選択されたときにオフするのに十分な電子が注入される。

【0082】期間T7は、通常の読み出しモードを示し、信号Rは論理“1”に、信号/Rは論理“0”に設定され、SWにはVCが出力される。期間T2～T6においては、信号/Rは論理“1”となり、図17のトランジスタ705がオンし、SWはトランジスタ703を通して放電される。これらのトランジスタ705、703は、SWが電氣的に浮遊状態になるのを防止するために設けられているものであり、省略することもできる。

【0083】図19は、本発明によるデータ入力回路DINの一例を示す。

【0084】データD<sub>in</sub>が入力される入力端INはPチャネル型トランジスタ811及びNチャネル型812のゲートに接続されている。これらのトランジスタ811、812は、電源電位VCと接地電位との間に直列に接続されている。これらのトランジスタ811、812の接続点であるノードN1は、Pチャネル型トランジスタ813及びNチャネル型トランジスタ814のゲートに接続されている。これらのトランジスタ813、814及びNチャネル型トランジスタ815が、電源電位VCと接地電位との間に直列に接続されている。トランジスタ815のゲートには信号W1が供給されている。トランジスタ813、814の接続点であるノードN2は、Nチャネル型トランジスタ818を介して、ノードN3に接続されている。トランジスタ818のゲートは電源電位VCに接続される。電源電位VCとノードN2との間に、Pチャネル型トランジスタ817が接続され、そのゲートに信号W1が供給されている。また、電源電位VCとノードN3との間にPチャネル型トランジスタ819が接続され、そのゲートはノードN4に接続されている。ノードN3は、Pチャネル型トランジスタ821及びNチャネル型トランジスタ822のゲートに接続され、これらのトランジスタ821、822は電源電位VP（又はVC）と接地電位との間に直列に接続されている。これらのトランジスタ821、822との接続点はノードN4に接続されている。

【0085】また、上記ノードN1は、Pチャネル型トランジスタ823及びNチャネル型トランジスタ824のゲートに接続されている。これらのトランジスタ823、824及びNチャネル型トランジスタ825は、電源電位VCと接地電位との間に直列に接続されている。トランジスタ825のゲートには信号W2が供給されている。トランジスタ823、824の接続点であるノードN7は、Nチャネル型トランジスタ828を介して、ノードN8に接続されている。トランジスタ828のゲートは電源電位VCに接続される。電源電位VCとノードN7との間に、ゲートに信号W2が供給されているPチャネル型トランジスタ827が接続されている。電源電位VP（又はVC）とノードN8との間に、Pチャネル型トランジスタ829が接続されている。トランジスタ829のゲートにはノードN9が接続されている。前記ノードN8はPチャネル型トランジスタ831及びNチャネル型トランジスタ832のゲートに接続されている。これらのトランジスタ831、832は、電源電位VP（又はVC）と接地電位との間に直列に接続されている。これらのトランジスタ831、832の接続点は前記ノードN9に接続されている。このノードN9は、Nチャネル型トランジスタ800のゲートに接続されている。このトランジスタ800は、電源電位VP（又はVC）とノードN10との間に接続されている。さらに、電源電位VP（又はVC）とノードN10との間にNチャネル型トランジスタ801が接続されている。このトランジスタ801のゲートにはノードN4が接続されている。なお、ノードN10は、図14のノードN2に対応しており、このノードN10からメモリセルにデータが伝えられる。

【0086】上記の回路において、浮遊ゲートに電子を注入する場合には、制御ゲートの電位よりも浮遊ゲートの電位は低くても良いため、メモリセルのドレインに与える電圧はVPでなくともVCでも良い。浮遊ゲートに電子を注入して2進データ的一方を記憶させるときは、複数のメモリセルに同時に電子を注入するため、より多くの電流が流れる。このため、この実施例では、2進データ的一方を書き込むときと他方を書き込むときとで、メモリセルのドレインに電圧を与えるためのトランジスタを変えるようにしている。つまり、2進データ的一方を書き込むときに使用するトランジスタの方の電流供給能力を、2進データの他方を書き込むときに使用するトランジスタの電流供給能力よりも大きくしてある。より詳しくは、複数のメモリセルを選択して2進データ的一方を書き込むときは、入力D<sub>in</sub>を論理“0”に、信号W1を論理“1”にする。このとき、トランジスタ801がオンして、メモリセルのドレインに電圧が与えられる。そして、2進データの他方を書き込むときは、入力D<sub>in</sub>を論理“0”に、信号W2を論理“1”にして、トランジスタ800をオンさせ、メモリセルのドレインに電圧を与える。上記のように、トランジスタ801の電流供給能力をトランジスタ800の電流供給能力よりも大きく設定して、複数のメモリセルの浮遊ゲートに電子を注入するときにメモリセルのドレインの電圧が十分高く保てるようにしている。

【0087】以上説明したように、本発明の実施例によれば、メモリセルの浮遊ゲートから電子を放出してメモリセルのしきい電圧を負にした後、メモリセルの浮遊ゲートに電子を注入することによって、全てのメモリセルの浮遊ゲートに電子を注入して2進データ的一方を記憶

するようにしたので、メモリセルのしきい電圧のばらつきの幅が小さく抑えられ、よってこれによりメモリセルの読み出し速度を速くすることが可能になった。

【0088】次に、本発明に関連する他の例について説明する。この例は、ラッチ回路を設けることに起因するチップサイズの増大を防止すべく構成されたものである。

【0089】図に基づいてこの例を概略的に説明する。

【0090】この例は、前述のようなEEPROMのメモリセルへのデータの書き込みが、トンネル電流を利用して行われ、これにより浮遊ゲートへの電子の注入時、あるいは浮遊ゲートからの電子の放出の時に、ほとんど電流が消費されないことに基づいてなされたものである。

【0091】従来のEEPROMにおいては、先にも述べたように、上述のラッチ回路を、メモリセルアレイに隣り合って設けるようにしていた。このため、メモリセルのピッチで各ラッチ回路を配置せねばならなかった。これにより、逆に、パターンレイアウト的に制約を受け、パターン面積が大きくなってしまっていた。この第5の発明においては、ラッチ回路を、メモリセルアレイと離れた場所に置くことにより、ラッチ回路のレイアウトが自由にでき、チップの空いた場所を有効に利用できるようにしたものである。これによりチップサイズを従来よりも小さくすることが可能になった。

【0092】図20に従ってこの例を説明する。

【0093】図20からわかるように、メモリセルアレイMCAにはその行を選択するための行デコーダRDが接続されている。メモリセルアレイMCAの各列線15は、列ゲートトランジスタC1、C2、…を介して、ノードN1に接続されている。各トランジスタC1、C2、…は、第1列デコーダCD1からのデコード信号h1、h2、…によって、選択的にオン/オフ制御される。ノードN1は、ゲートに信号(R)/(P)が供給されるトランジスタQ2を介して、負荷回路LCに接続されている。この負荷回路LCはセンスアンプSAに接続されている。さらに、前記ノードN1は、ゲートに信号(R)/(P)が供給されるトランジスタQ1を介してノードN2に接続されている。ノードN2には、ラッチ回路L、L、…を介して、入力データD<sub>in</sub>が供給される。これらのラッチ回路L、L、…には、第2列デコーダCD2からのデコード信号h1'、h2'、…及び信号Pが供給される。本実施例においては、メモリセルへ書き込むためのデータは、ラッチ回路L、L、…によってラッチされる。これらのラッチ回路L、Lは、メモリセルアレイMCAとは別な場所に配置されている。同一行のメモリセルへ書き込むデータは、第2の列デコーダの出力h1'、h2'、…に対応して、ラッチ回路L、L、…に各アドレス毎にラッチされる。この後、信号(R)/(P)は高電位にされ、トランジスタQ1

はオンする。第1の列デコーダCD1の出力によって列ゲートトランジスタC1、C2、…を順次オンさせる。そして、第2の列デコーダCD2によりラッチ回路L、L、…を制御する。このようにして、各メモリセルアレイの列に、ラッチ回路L、L、…からデータを伝達する。各列線15は、ラッチ回路Lからのデータにより、高電圧に充電されるか、あるいは放電される。この充電された電位により、メモリセルのフローティングゲートから電子が放出される。充電された電位は、P-N接合のリーク電流等により徐々に放電されて、電位は下がる。よって、一定の期間毎に、第1の列デコーダCD1及び第2の列デコーダCD2により、ラッチ回路L、L、…からのデータを、列ゲートトランジスタC1、C2、…を順次オンさせ、対応する各列線に伝達する。このようにすれば、メモリセルアレイMCAに隣接させて、各列毎にラッチ回路を設ける必要がなく、任意の場所にラッチ回路L、L、…を設けることができ、チップ上におけるラッチ回路の占める面積を小さくできる。なお、図20示されているトランジスタQ1、Q2、C1〜CmはNチャネル型である。

【0094】図23は、各信号の波形を示す。信号(R)/(P)は、データを書き込むときに、高電圧(論理“1”)に設定される(t1)。第2の列デコーダCD2の出力h1'、h2'、…、hm'が論理“1”の時に、入力されたデータD<sub>in</sub>を、ラッチ回路L、L、…にラッチする(t2、t3、t4、…)。このとき、全てのメモリセルのゲート(すなわちV<sub>cg</sub>)を高電圧にして、全てのメモリセルの浮遊ゲートに電子を注入しておく(t1)。この注入が終わると、V<sub>cg</sub>を0Vに設定し、次の電子の放出に備える(t5)。次に、信号h1'、h2'、…、hm、及び信号h1、h2、…、hmを順次高電圧(論理“1”)に設定し、信号Pが論理“1”の時にラッチしてあるデータを、対応する列線へ伝達する(t2'、t3'、t4')。列線15はラッチされたデータに応じて、高電圧に設定されるか、0Vのままであるかのいずれかの状態をとる。高電圧に設定された列線15に接続されている選択されたメモリセルは、その浮遊ゲートから電子が放出され、0Vの列線に接続されている選択されたメモリセルは浮遊ゲートに電子が注入されたままである。このようにしてデータが書き込まれる。

【0095】図21は第5の本発明の他の実施例である。この実施例が、図20のそれと異なる点は、各列線15に、Nチャネル型トランジスタQ3を介して、容量Cを接続してある点にあり、この点を除いて図20と同じである。トランジスタQ3のゲートには信号R/Pが加えられている。

【0096】データを書き込むとき、ラッチ回路Lからのデータが伝達された後、列ゲートトランジスタC1、C2、…はオフする。これにより各列線15は電氣的に

浮遊状態になる。このため、なるべく長くラッチ回路Lから伝達されたデータを保持するため、容量Cが設けられている。データを読み出すときは、トランジスタQ3はオフするようにしている。このため、データ読みだし速度をこの容量Cが妨げることはない。

【0097】図22は、この例の変形例である。図22の例では、図21のものからラッチ回路Lを省いている。図20及び図21では、書き込み用のデータを一度ラッチ回路Lにラッチしてから書き込んでいた。これに対し、図22の例では、ラッチ回路Lを設けずに、入力データD<sub>in</sub>を直接各列線15へ伝達している。つまり、各列に対応したメモリセルへデータを書き込むため、入力データを順次与え、列ゲートトランジスタC1、C2、…を順次オンさせ、列線15にデータを伝達する。

【0098】図24は、この図22に示した不揮発性半導体メモリの各信号の波形を示す。

【0099】この図24からわかるように、信号(R)/(P)はデータを書き込むときに高電圧(論理“1”)に設定され、信号(R)/(P)は論理“0”に設定される(t1)。次に、全てのメモリセルのゲート(すなわちV<sub>cg</sub>)を高電圧にして、全てのメモリセルの浮遊ゲートに電子を注入しておく。この注入が終わると、V<sub>cg</sub>を0Vに設定し、次の電子の放出に備える(t2)。信号h1、h2、……、hmを順次高電圧(論理“1”)に設定し、入力されたデータに対応する列線へ伝達する(t3～tm)。列線15は入力されたデータに応じて高電圧に設定されるか、0Vのままであるかのいずれかの状態をとる。高電圧に設定された列線15に接続されている選択されたメモリセルは、その浮遊ゲートから電子が放出され、0Vの列線15に接続されている選択されたメモリセルは浮遊ゲートに電子が注入されたままである。このようにしてデータが書き込まれる。

【0100】図25は、この例の更に別の変形例を示し、図22の例と同様に、ラッチ回路Lを用いることなく、さらに図22の例に対して回路CIRを追加したものである。

【0101】即ち、図25において、回路CIRは、高圧電源電位VPとノードN300との間に、ゲートに信号φ1が供給されたPチャネル型トランジスタ901が接続されている。ノードN300とノードN400との間に、Pチャネル型トランジスタ902、Nチャネル型トランジスタ903の直列回路と、Pチャネル型トランジスタ904、Nチャネル型トランジスタ905の直列回路とが、並列に接続されている。ノードN400と接地電位との間に、ゲートに信号φ1が供給されたトランジスタ907が接続されている。ノードN200が、トランジスタ902、903の接続点と、トランジスタ904、905のそれぞれのゲートとに接続されている。ノードN100が、トランジスタ904、905の

接続点と、トランジスタ902、903のそれぞれのゲートとに接続されている。ノードN100、N200間には、Pチャネル型トランジスタ911とNチャネル型トランジスタ912がお互いに並列に接続されている。トランジスタ911及び912のゲートには信号φ2及び信号φ2がそれぞれ供給されている。ノードN100は、高圧電源電位VPと接地電位との間に直列に接続された抵抗R1、R2の接続点である。ノードN200は、データ入力回路DICの出力端である。

【0102】図22の例では、列線15のリーク電流等による電位の低下を防ぐためには、データを何度も入力しなくてはならないが、これに対し図25の実施例では、回路CIRを設けることにより、列線15の電位を検出して再び増幅するようにしている。このため、データの入力是一次ですむ。

【0103】図26、図27に各信号の波形を示す。図22の場合と同様、信号(R)/(P)は、データを書き込むときに高電圧(論理“1”)に設定され、信号(R)/(P)は論理“0”に設定される(t1)。次に、全てのメモリセルのゲートすなわちV<sub>cg</sub>を高電圧にして、全てのメモリセルの浮遊ゲートに電子を注入しておく(t1)。この注入が終わると、V<sub>cg</sub>を0Vに設定し、次の電子の放出に備える(t2)。列デコーダCD1からの信号h1、h2、……、hmを順次高電圧(論理“1”)に設定し、入力されたデータに対応する列線へ伝達する(t3～tm)。列線15は、入力されたデータに応じて高電圧に設定されるか、0Vのままであるかのいずれかの状態をとる。高電圧に設定された列線15に接続されている選択されたメモリセルは、その浮遊ゲートから電子が放出され、0Vの列線に接続されている選択されたメモリセルは浮遊ゲートに電子が注入されたままである。

【0104】回路CIRは、ノードN100とノードN200の電位の比較を行い、その結果に応じてノードN200の電位を増幅するものである。ノードN100の電位は、抵抗R1とR2との接続点から得られ、ノードN200の高電位レベルと低電位レベルの間の値をとる。ノードN100とノードN200の間には、トランジスタ902～905によって構成される一種のフリップフロップFFが接続され、このフリップフロップFFがノードN200の電位を増幅する。図27は、図23に示した信号φ1、φ2、列デコーダCD1の出力h1、h2の関係を、より分かりやすいように拡大したもので、ノードN100、N200及び列線15の電位状態と共に示している。図27に示すように、信号φ2が論理“1”となると、ノードN100とノードN200とが接続され、N100とN200の電位がほぼ等しくなる(t11)。この後列デコーダCD1により列線15が選択され、選択された列線15の電位がノードN200に現れる。もし選択された列線15が高電位に充電



されていればノードN200の電位は上昇する(12)。この後、信号φ1を論理“1”に設定し、フリップフロップFFを活性化させる(13)。フリップフロップFFは、ノードN200の電位がノードN100の電位より高いことから、ノードN200を高電圧VPに上昇させ、ノードN100をほぼ0Vにする。一方、選択された列線が0Vであるならば、ノードN200の電位が下がり、ノードN100の電位より低くなる(14)。このため信号φ1が論理“1”になったとき、フリップフロップFFはノードN200の電位を0Vまで放電する(15)。このように、図25の実施例では列線15を選択し、選択された列線15の電位をモニターし、ふたたび元の電位に増幅しているのでラッチ回路Lの必要はない。もしチップサイズに余裕があり、このような回路CIRを各列線毎に設けることができれば、全部の列線を同時に増幅できるので、列デコーダでの列線毎の制御が不要になる。

【0105】以上説明したように、上記の例によれば、浮遊ゲートからの電子の放出と注入がトンネル効果で行われることに注目し、データをプログラムするときはメモリセル部ではほとんど電流が消費されないことを利用したので、データラッチ回路をメモリセルアレイからはなれた任意の場所に作ることができ、これによりチップサイズが縮小された不揮発性半導体メモリが提供できる。

【0106】また、この例によれば、列線15の電位をモニターし、この電位を増幅して列線15の電位が下がらないようにしたので、ラッチ回路も特に必要がなくなり、さらにチップサイズの小さな不揮発性半導体メモリが実現できる。

【0107】なお、この発明は以上に説明したようなメモリセルを持つ不揮発性半導体メモリに限ることなく、浮遊ゲートからトンネル効果を利用して電子の注入と放出を行うものであればどのようなものでも適用できる。本発明はデータをメモリセルに書き込むときの列線の電位の制御に関するものであるから、データの書き込み方法に関係なく、列線の電位を利用してメモリセルの浮遊ゲートからの電子の放出、あるいはメモリセルの浮遊ゲートへの電子の注入を行うようなものであれば、どのようなものにも適用できる。たとえばメモリセルがNAND型をしたEEPROMにも適用できることはいうまでもない。この場合、最初にすべてのメモリセルの浮遊ゲートから電子を放出してメモリセルのしきい値を負の値にしておき、その後電子の注入を行うものは列線を0Vに、電子の注入を行わないものには、トンネル効果が生じないような適当な電圧V3を列線に供給する。このとき、フリップフロップFFに供給する電源もV3であるのが望ましい。このように列線への電圧の与える方法を種々変更するようにすれば、どのようなものにも適用できる。

【0108】

【発明の効果】本発明によれば、メモリセルの浮遊ゲートから電子を放出させてそのしきい電圧を負にした後、メモリセルの浮遊ゲートに電子を注入して2進データの一方を記憶するようにしたので、メモリセルのしきい電圧のばらつきの幅を小さく抑えて、読み出し速度を速くすることができる。

【図面の簡単な説明】

【図1】本発明に関連する例の要部の回路図。

【図2】図1における各種の態様を示す図表。

【図3】図1の回路を用いて構成した半導体記憶装置。

【図4】図3の回路の真理値表。

【図5】図3における読み出し動作を説明する説明図。

【図6】各種信号の真理値表。

【図7】本発明に関連する例の要部回路図及びタイミングチャート。

【図8】本発明に関連する例の行線の電位を発生する回路及び列デコーダ。

【図9】信号n'、/n'を作る回路。

【図10】信号/n'からnを作る回路。

【図11】図9、図10の各ノードの信号波形図。

【図12】電圧VP'を発生する他の回路。

【図13】本発明の実施例の要部の平面図、A-A'線断面図、B-B'線断面図、C-C'線断面図、及びシンボル図。

【図14】図13を用いたさらに詳細な実施例。

【図15】電圧VEを発生させる回路のそれぞれ異なる例。

【図16】行デコーダの回路の例。

【図17】電源SWを発生させる回路の例。

【図18】図16、図17の各ノードにおける信号波形図。

【図19】データ入力回路の一例。

【図20】本発明に関連する例。

【図21】本発明に関連する他の例。

【図22】本発明に関連するさらに他の例。

【図23】図20の各信号の波形図。

【図24】図22の各信号の波形図。

【図25】本発明に関連する例。

【図26】図25の各信号の波形図。

【図27】図25の各信号の波形図。

【図28】従来のNAND型EEPROMのメモリセルの断面図。

【図29】NAND型EEPROMの要部の回路図及びその各ノードの電圧波形図。

【図30】NAND型EEPROMからのデータの読み出しを説明するための説明図。

【図31】そのタイミングチャート。

【図32】NAND型EEPROMの各メモリセルのそれぞれ異なるしきい値状態を示す説明図。



【図33】従来のEEPROMの要部の平面図、A-A'線断面図、B-B'線断面図、及びC-C'線断面図。

【図34】図33のシンボル図。

【図35】EEPROMのメモリセル。

【図36】その特性図。

【図37】図35のメモリセルを用いたEEPROMの要部の回路図。

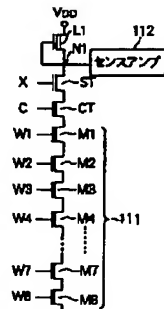
【図38】図37のパターン平面図及びA-A'線断面図。

【図39】EEPROMのラッチ回路の部分を示す回路図。

【符号の説明】

- |          |               |
|----------|---------------|
| 1 行線     | 6 ドレイン        |
| 2 浮遊ゲート  | 7 ソース         |
| 3 チャネル領域 | 8 配線          |
| 4 ゲート絶縁膜 | 9 接続位置        |
| 5 列線     | 10 トランジスタ     |
|          | 11 メモリブロック    |
|          | 12 センスアンプ     |
|          | 14 メモリセル      |
|          | 15 列線         |
|          | 16 領域         |
|          | 17 ソース領域      |
|          | 18 ドレイン/ソース領域 |
|          | 19 ドレイン領域     |
|          | 20 浮遊ゲート      |
|          | 21 制御ゲート      |
|          | 22 ゲート        |
|          | 23 酸化膜部       |
|          | 24 コンタクト部     |

【図1】



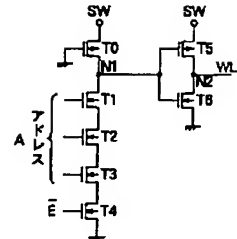
【図2】

	センスアンプの出力		センスアンプの入力		センスアンプの出力
	"1"	"0"	"1"	"0"	
na1	0	8	正	負	正
na2	1	7	正	負	正
na3	2	6	正	負	正
na4	3	5	正	負	正
na5	4	4	負	正	負
na6	5	3	負	正	負
na7	6	2	負	正	負
na8	7	1	負	正	負
na9	8	0	負	正	負

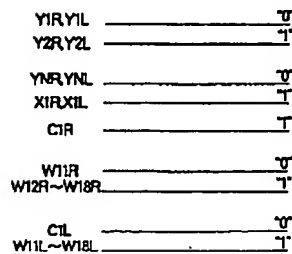
【図4】

A0	D1L	D1R	Z1	
0	0	0	1	D1Lがデータ
0	1	0	0	D1Rがデータ
0	0	1	0	D1Rがデータ
0	1	1	1	
1	0	0	1	D1Rがデータ
1	0	1	0	D1Lがデータ
1	1	0	0	
1	1	1	1	

【図16】



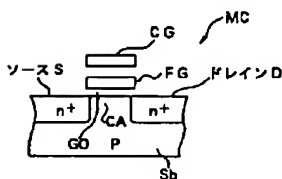
【図5】



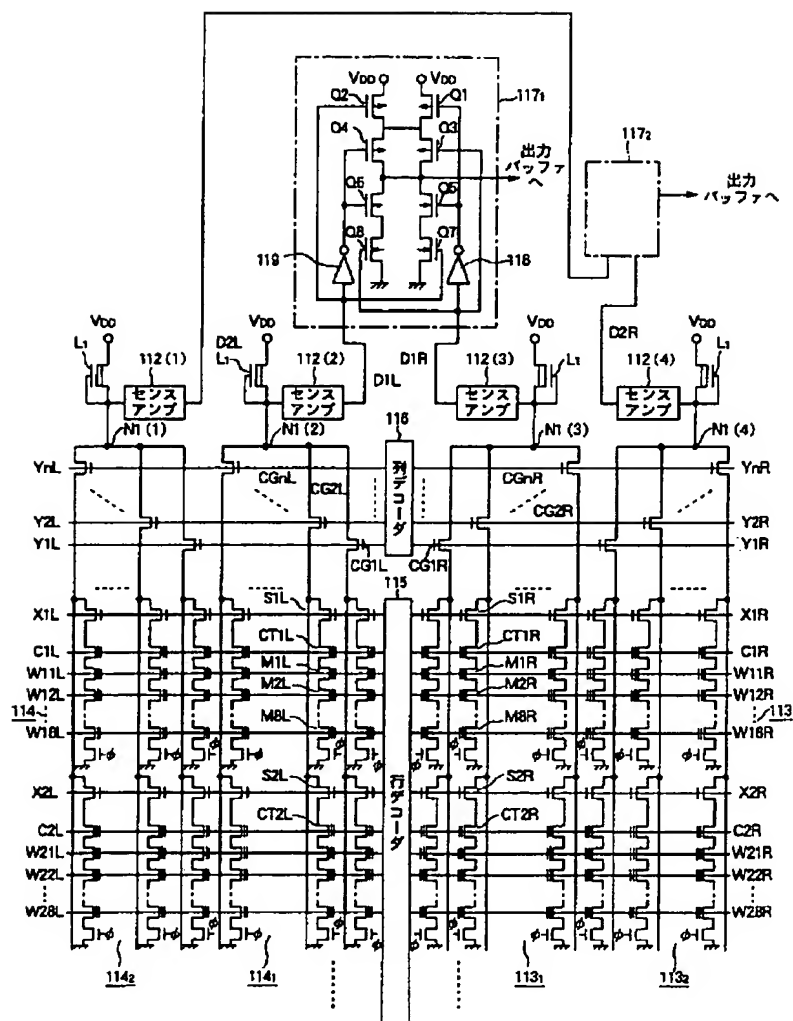
【図6】

A0	A1	A2	A3	X1R	C1R	W11R	W12R	W13R	W14R	W15R	W16R	W17R	W18R	X1L	C1L	W11L	W12L	W13L	W14L	W15L	W16L	W17L	W18L
0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1	1	1	1

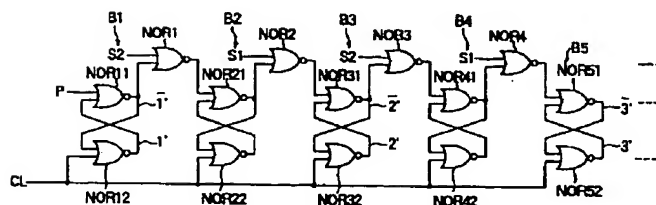
【図28】



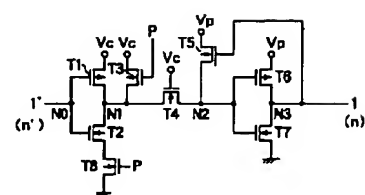
【図3】



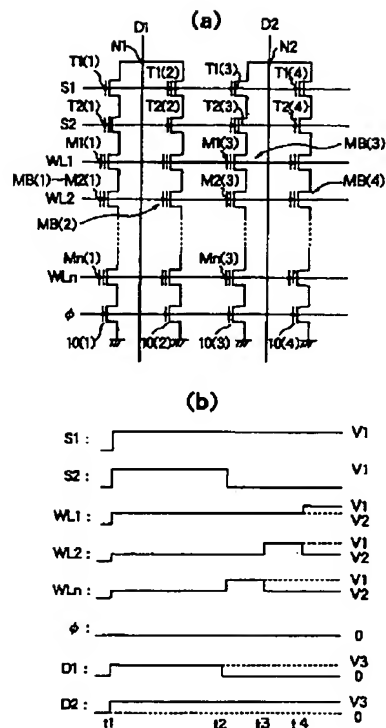
【图9】



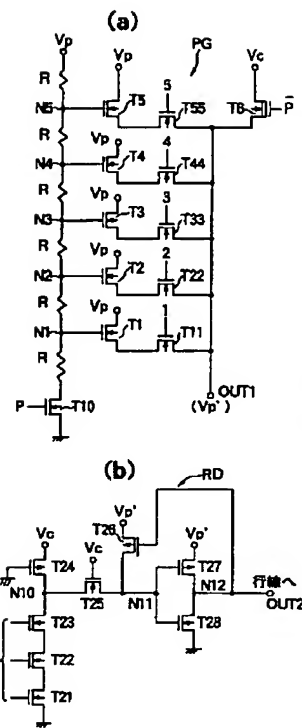
【図10】



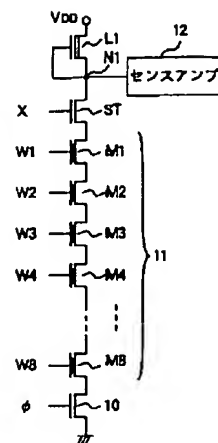
【図7】



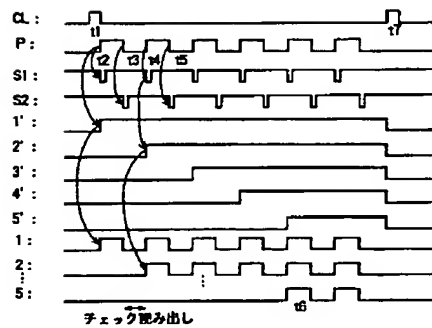
【図8】



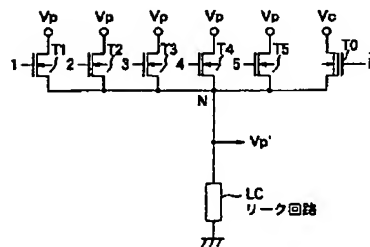
【図30】



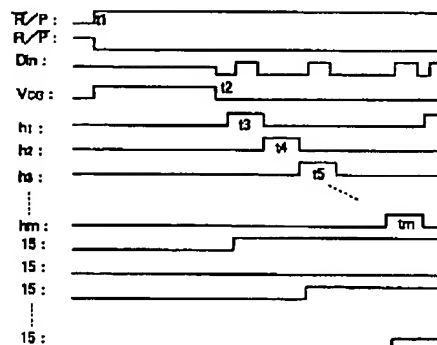
【図 1 1】



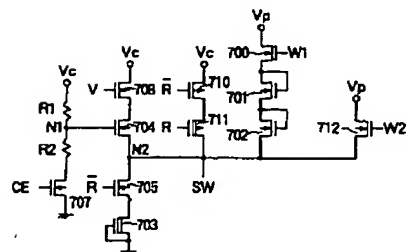
【図12】



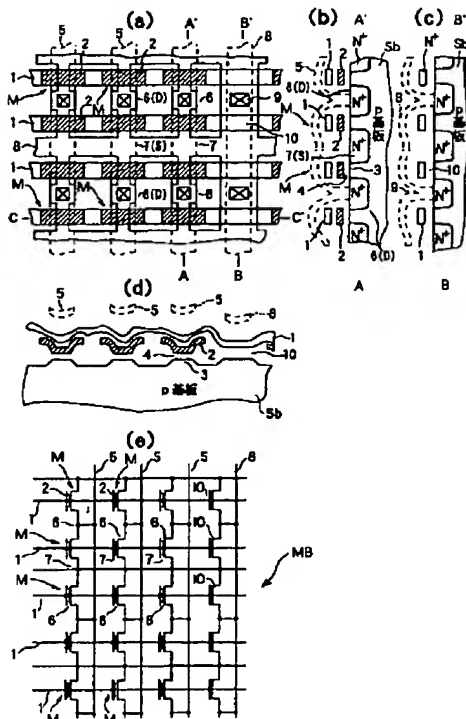
【図24】



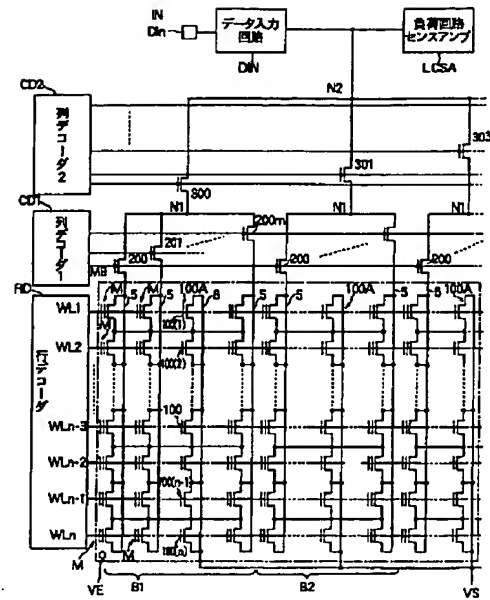
【図17】



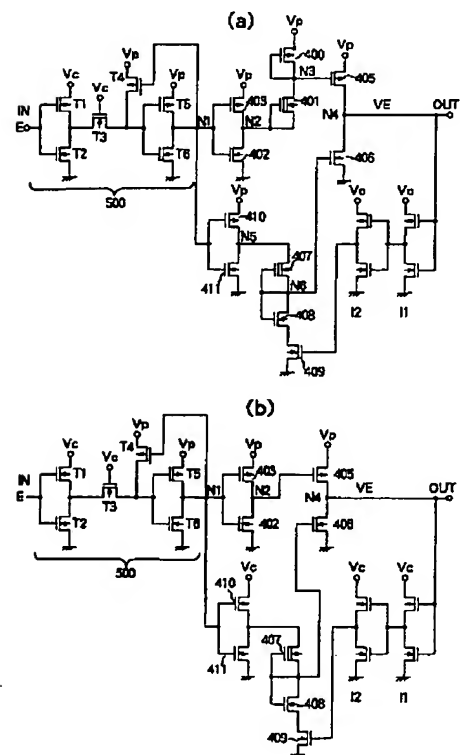
【図13】



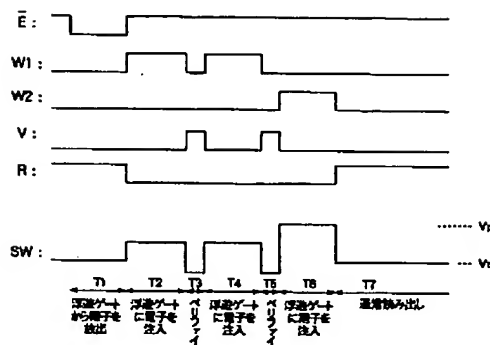
【図14】



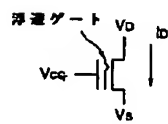
【図15】



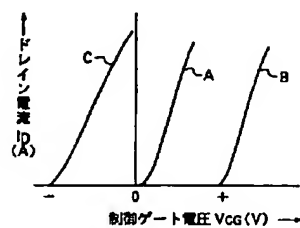
【図18】



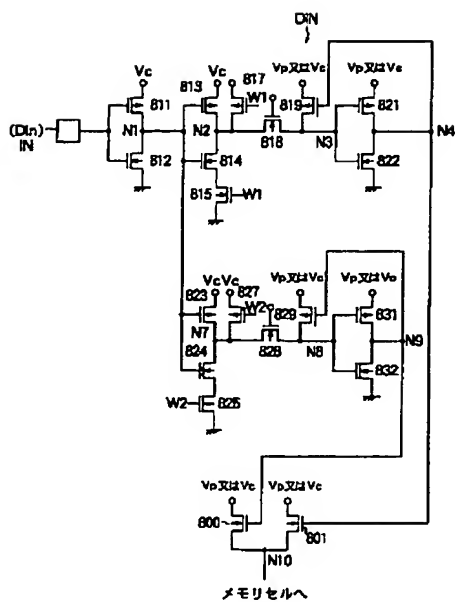
【図35】



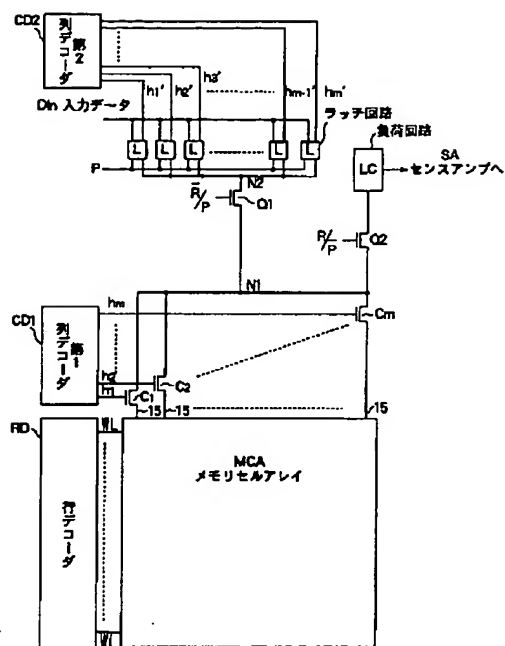
【図36】



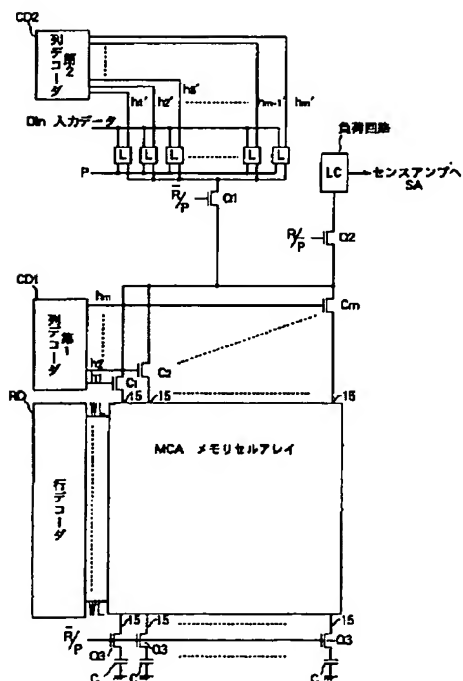
【图 19】



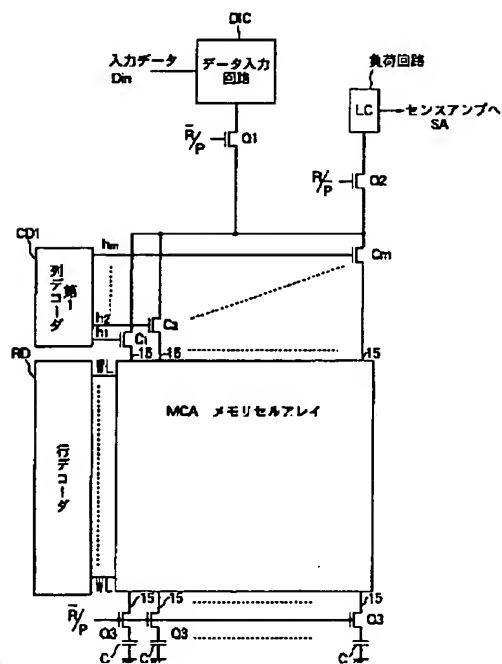
【图20】



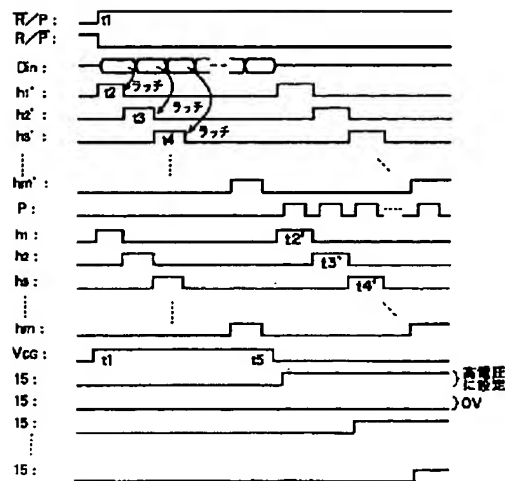
【图21】



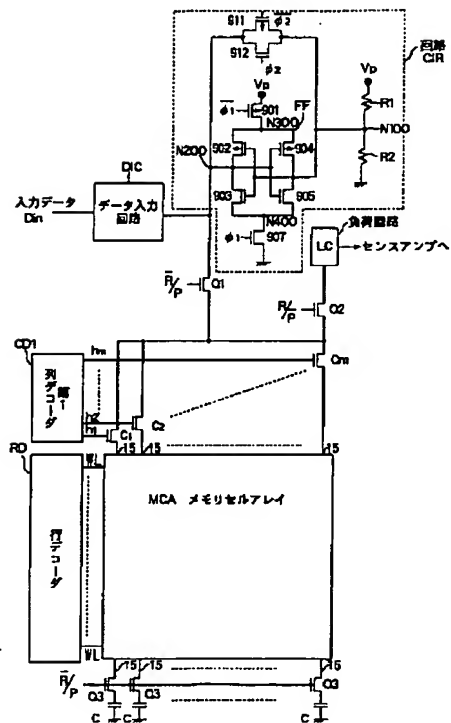
【図22】



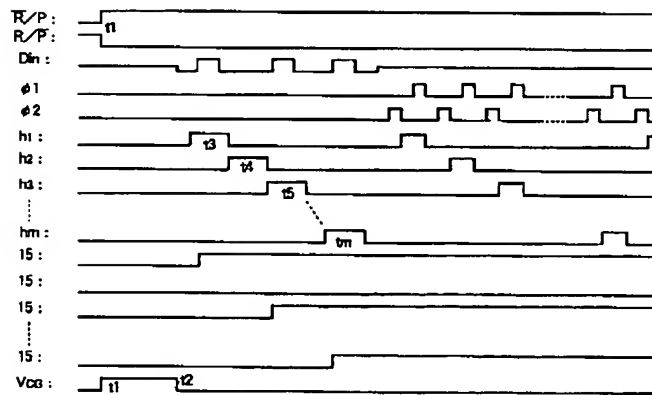
【図23】



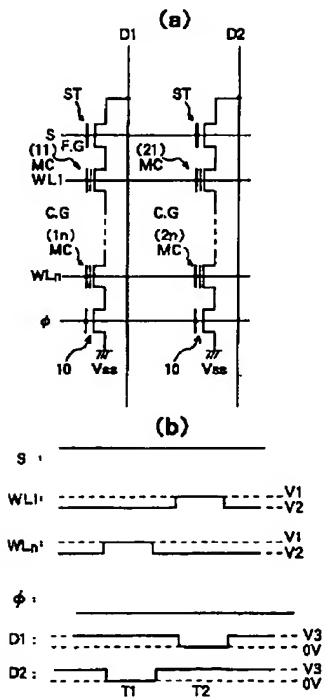
【図25】



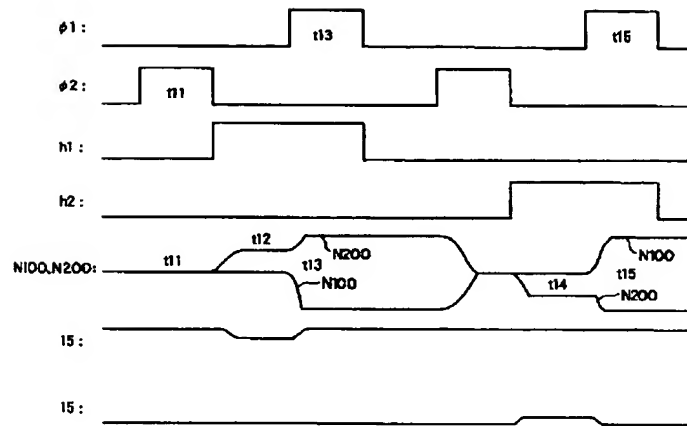
【図26】



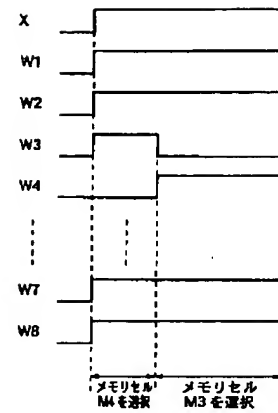
【図29】



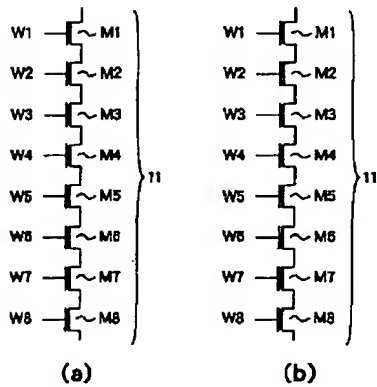
【図27】



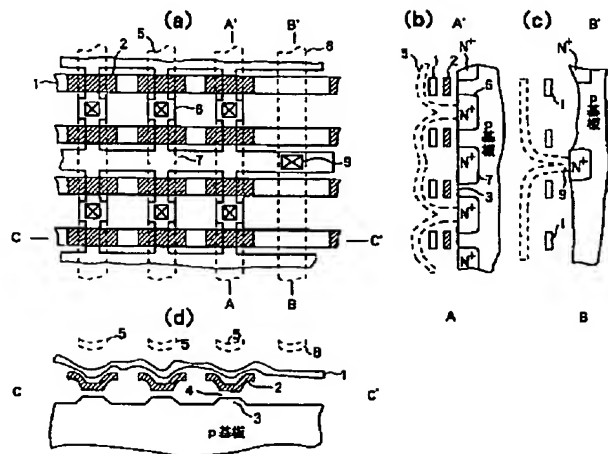
【図31】



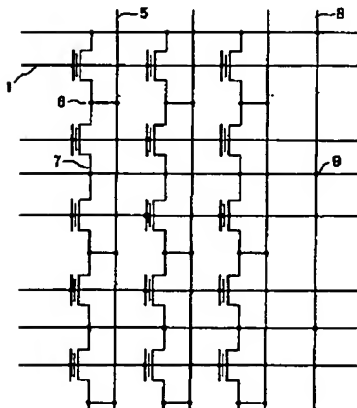
【図32】



【図33】

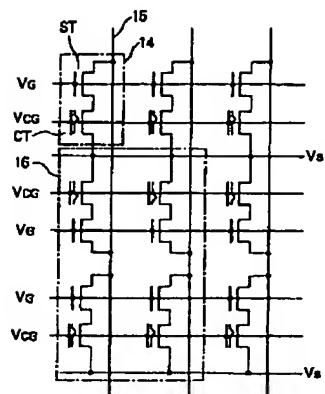


【図34】

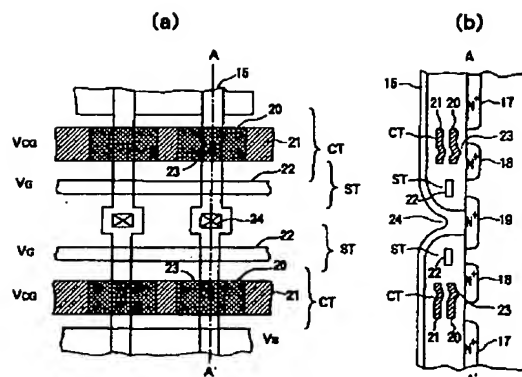




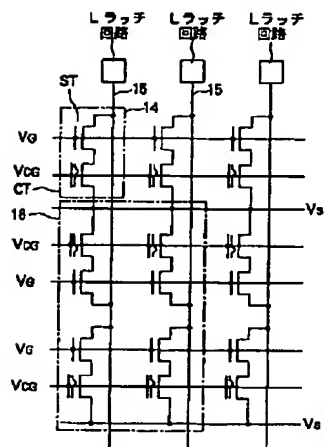
【図37】



【図38】



【図39】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 29/792

識別記号

FI

H01L 27/10

29/78

テーマコード(参考)

434

371